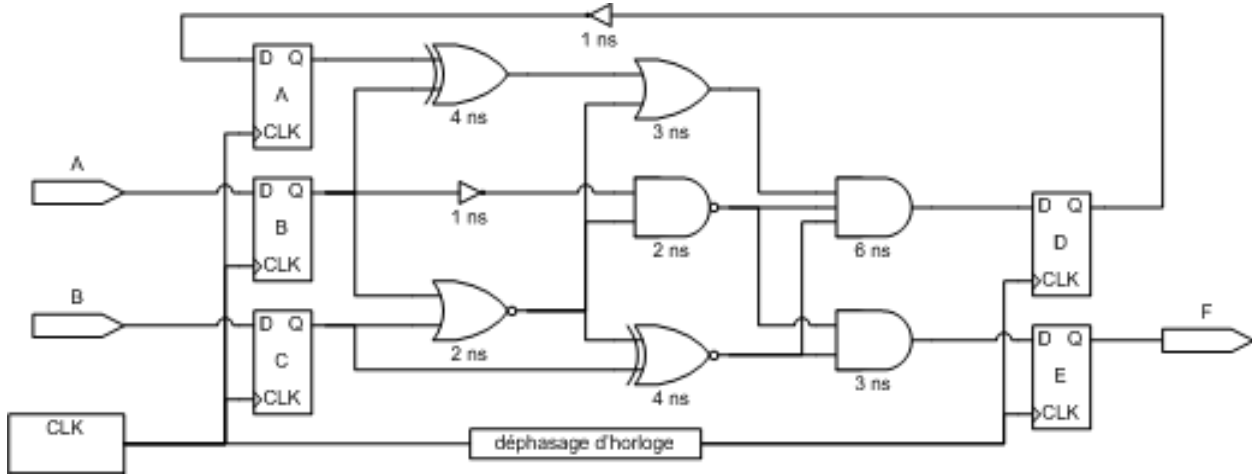


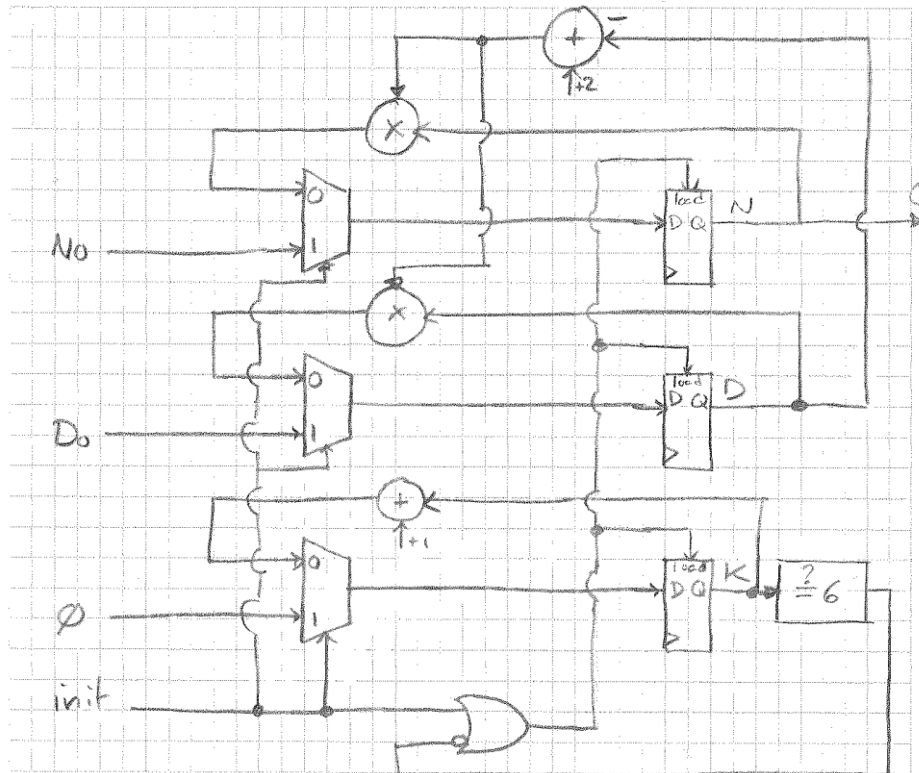
INF3500 – Hiver 2022  
Exercices #11 – débit et latence

1. Définissez les concepts de latence et de débit. Expliquez leurs différences et les facteurs qui les affectent.
2. Expliquez pourquoi, en insérant un étage de pipeline qui coupe en deux parties égales le chemin critique, on ne peut pas doubler la fréquence d'horloge d'un circuit pipeliné.
3. Considérez le circuit suivant. Les bascules ont un temps de préparation de 1 ns, un temps de maintien de 0.5 ns et un délai de propagation de 2 ns. Négligez les délais des interconnexions. Le déphasage d'horloge est 0 ns.



- a. Identifiez le chemin critique et déterminez la fréquence maximale d'horloge. Donnez le débit en résultats par seconde et la latence en secondes
  - b. Ajoutez un niveau de pipeline et donnez la fréquence maximale d'horloge résultante. Donnez le débit en résultats par seconde et la latence en secondes.
4. Expliquez trois principes à suivre pour la conception FPGA.

5. Considérez le chemin des données montré ici qui implémente la division par la méthode de Goldschmidt.



Les multiplexeurs ont un délai de 1 ns, les multipliers un délai de 6 ns, les additionneurs et le comparateur un délai de 1.5 ns, la porte OU un délai de 0.5 ns, et les bascules des  $t_d$ ,  $t_{su}$  et  $t_h$  de 0.5 ns, 0.5 ns et 0.1 ns, respectivement. On estime le délai sur chacun des fils à 0.1 ns.

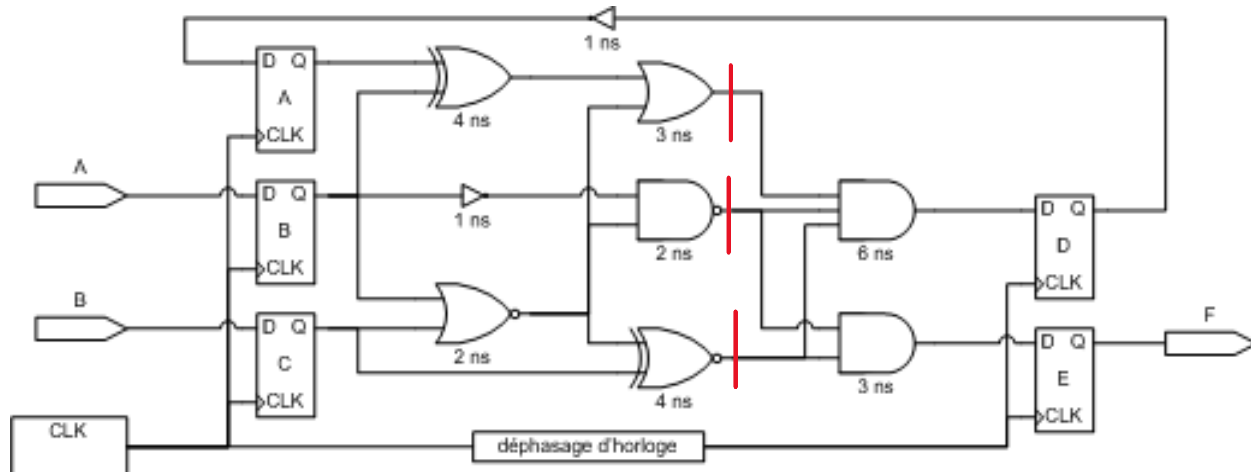
Les signaux N0, D0 et init sont menés par des bascules dont les horloges sont synchronisées avec celles des bascules N, D et K.

- Identifiez le chemin critique et donnez la fréquence maximale d'horloge.
- Calculez le débit du circuit en résultats par cycles d'horloge et en résultats par seconde.
- On veut augmenter le débit en étalant les calculs dans l'espace. Montrez comment faire en donnant un nouveau diagramme du circuit. Donnez le nouveau débit. Énoncez toutes vos suppositions.

## Solutions

- La latence de calcul est le temps nécessaire pour produire un résultat. Le débit d'information est le nombre de résultats produits par unité de temps.
- Même si on peut couper le chemin critique en deux parties égales, on ne peut pas éliminer le délai de propagation des bascules ni leur temps de préparation. Ces deux valeurs restent présentes pour chacun des étages de pipeline.
- Chemin critique : Bascule A > xor > et > Bascule D  
 $T_{min} = 2 + 4 + 3 + 6 + 1 = 16 \text{ ns}$   
 $F_{max} = 62,5 \text{ Mhz}$   
 Latence = 16 ns

b.



$$T_{min} = 2 + 4 + 3 + 1 = 10 \text{ ns}$$

$$F_{max} = 100 \text{ Mhz}$$

$$\text{Latence} = 20 \text{ ns}$$

- Il y a sept principes :
  - Adopter un style de conception synchrone;
  - Utiliser des bascules (*flip-flop*) plutôt que des loquets (*latch*);
  - Définir un signal d'initialisation globale;
  - Utiliser les réseaux de distribution de signaux d'horloge;
  - Exploiter toutes les ressources disponibles sur le FPGA;
  - Effectuer une disposition manuelle des blocs sur le chemin critique; et,
  - Favoriser l'arithmétique en virgule fixe plutôt que flottante.

## 5. Goldschmidt – solution en classe.

a.  $T_{\min} = 9,9 \text{ ns}$   $F_{\max} = 101 \text{ Mhz}$

b.  $1 \text{ resultat} / 6 \text{ cycles} * 101 \text{ Mcycles} / \text{sec} = 16,8 \text{ MResultats} / \text{sec}$

c.  $T_{\min} = 8,8 \text{ ns}$   $F_{\max} = 114 \text{ Mhz}$   $\text{Débit} = 1 \text{ resultat} / \text{cycle} * 114 \text{ Mcycles} / \text{sec} = 114 \text{ MResultats} / \text{sec}$