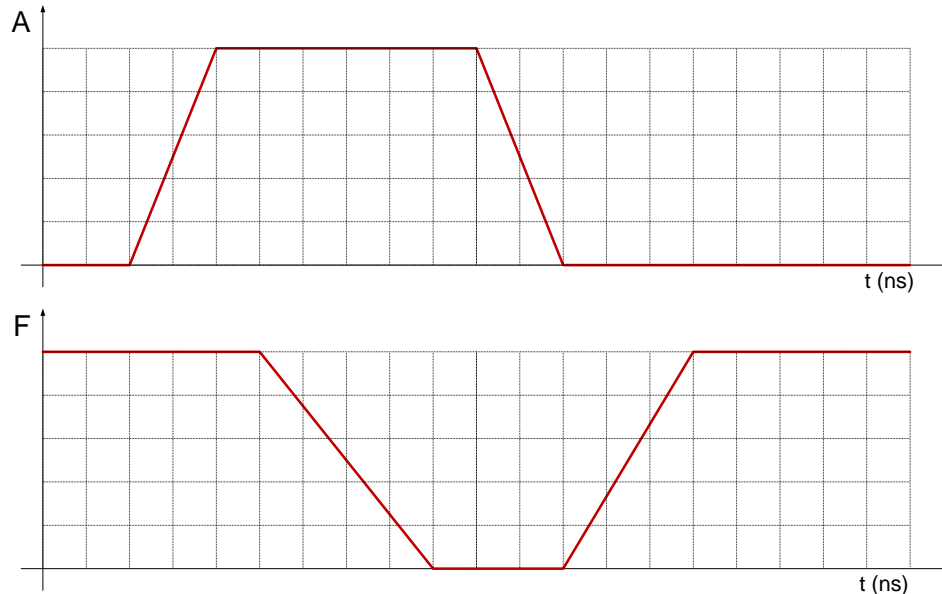


### 1002 Temps de propagation

1. Le chronogramme suivant montre un signal d'entrée A et la sortie F correspondante d'un inverseur. Estimez la valeur des paramètres  $t_r$ ,  $t_f$ ,  $t_{PHL}$ ,  $t_{PLH}$  et  $t_{comb}$  pour cet inverseur dans ces conditions.



2. On considère utiliser une nouvelle technologie de fabrication pour la prochaine génération de FPGA. Cette nouvelle technologie impliquera l'utilisation de nouveaux matériaux pour fabriquer les transistors ainsi que les interconnexions. Quel serait l'effet sur le délai de propagation des interconnexions (dites si c'est une augmentation ou diminution, et donnez l'ordre de grandeur) si :

- on diminue l'épaisseur de l'isolant entre les conducteurs et le substrat par 10% ?
- on réduit la largeur des conducteurs de 40% ?
- on utilise du cuivre au lieu de l'aluminium pour les conducteurs ?

### 1003 Chemin critique et fréquence maximale d'horloge

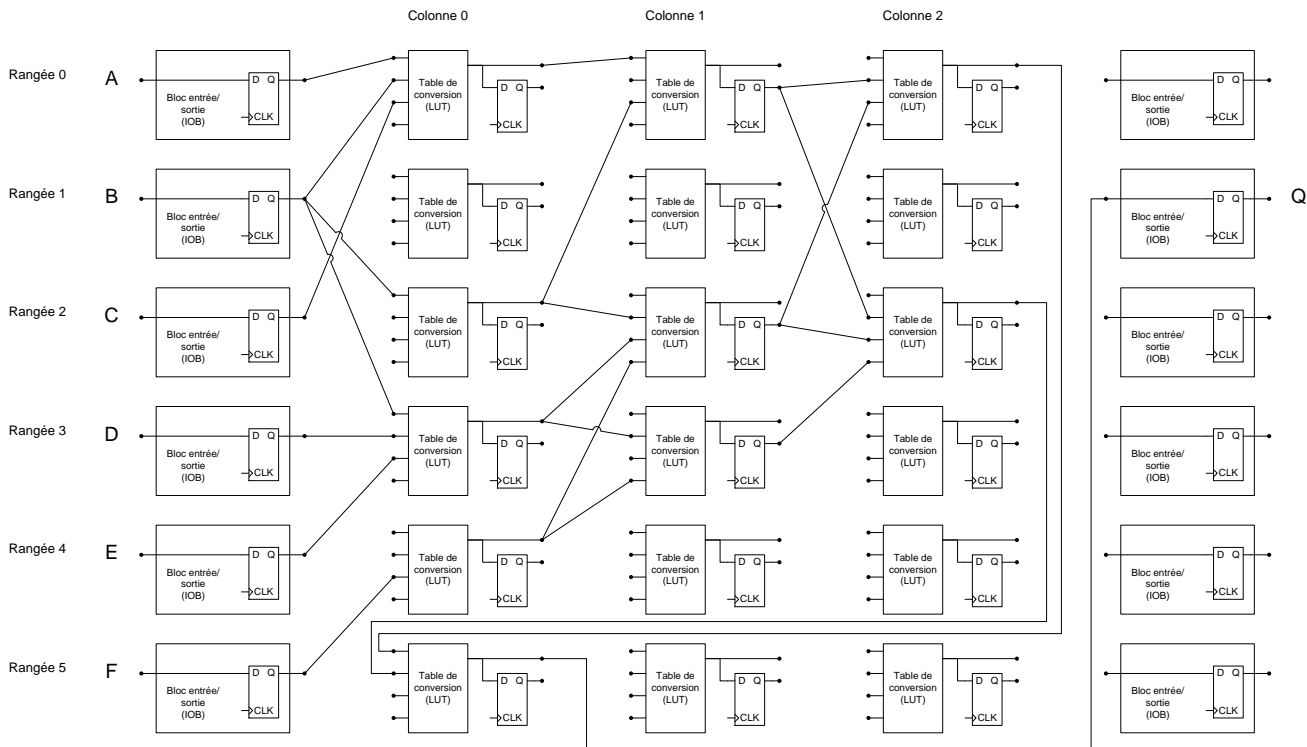
3. Estimez la fréquence maximale d'horloge d'opération à laquelle les FPGA de la famille Virtex-7 peuvent fonctionner. Utilisez les caractéristiques données dans les diapositives 1002. Supposez un chemin composé d'une bascule source dans une première tranche, une bascule puits dans une tranche adjacente, une fonction combinatoire d'une seule LUT, et un délai d'interconnexion entre les deux tranches de 0.1 ns.

4. Considérez le diagramme suivant montrant un circuit implémenté sur un FPGA simplifié. Les entrées du circuit sont les signaux A, B, C, D, E et F. Il y a une sortie Q. Le FPGA est composé de tranches ayant chacune une table de conversion (LUT) et une bascule pouvant être utilisée ou non, et de blocs d'entrée/sortie (IOB) dans lesquels les bascules sont toujours utilisées.

Pour ce FPGA, les LUTs ont un délai de 2.25 ns. Les bascules ont un délai de 0.75 ns, un temps de préparation  $t_{su}$  de 0.25 ns, et un temps de maintien  $t_h$  de 0.1 ns.

Les interconnexions entre les tranches et IOBs ajoutent un délai de 0.2 ns pour chaque rangée et chaque colonne de distance. Par exemple, le signal qui part de la tranche C2R0 (colonne2, rangée 0) pour aller à la LUT de la tranche C0R5 a un délai de  $(2 \text{ (colonnes)} + 5 \text{ (rangées)}) \times 0.2 \text{ ns} = 1.4 \text{ ns}$ .

- Identifiez le chemin critique du circuit et donnez la fréquence maximale d'horloge.
- Proposez une solution pour augmenter le débit du circuit sans augmenter la latence (n'ajoutez pas de registres de pipeline – *sujet de la semaine 11!*). Décrivez et justifiez complètement vos idées. Donnez le nouveau chemin critique et la nouvelle fréquence maximale d'horloge.

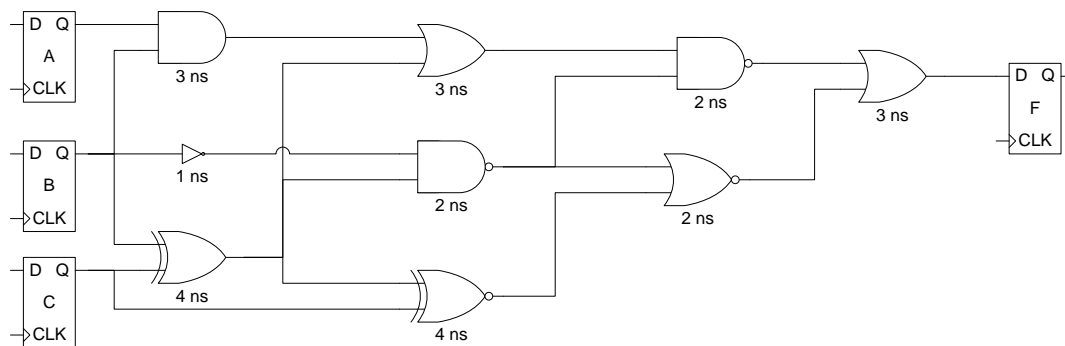


**1004 Déphasage d'horloge**

5. Expliquez, à l'aide d'un diagramme montrant la disposition de bascules dans une puce, deux causes du déphasage d'horloge.

6. Considérez le diagramme suivant. Les délais des portes logiques combinatoires sont indiqués. Les bascules ont un temps de propagation de 2 ns, un temps de préparation de 1 ns, et un temps de maintien de 0.5 ns. On peut négliger les délais de propagation des fils.

- a. Quel est le déphasage d'horloge maximal acceptable pour la bascule C par rapport aux autres bascules pour atteindre une fréquence d'horloge de 50 MHz?
- b. La bascule F reçoit une horloge qui est en retard de 1 ns par rapport aux autres bascules. Quelle est la fréquence maximale d'horloge du circuit?



**1005 Synchronisation**

7. Un circuit implémenté sur un FPGA a une fréquence d'horloge de 100 MHz. Un bouton activé par un être humain est relié à l'entrée d'une bascule avec un temps de préparation de 2 ns et un temps de maintien de 1 ns.

- a. Quelle est la probabilité que la bascule entrera dans un état métastable quand on pèse sur le bouton?
- b. Le bouton est activé 100 fois par jour. Combien de fois par jour la bascule sera-t-elle métastable?
- c. Quelle fréquence d'horloge minimale est nécessaire pour avoir moins d'un cas de métastabilité par jour?

## Solutions

1. On mesure:  $t_{PHL} \cong 4$  ns,  $t_{PLH} \cong 2.5$  ns,  $t_f(F) \cong 3$  ns et  $t_r(F) \cong 2.5$  ns.

### 2. Solution

On peut faire une approximation de premier ordre comme suit. On peut modéliser le délai d'une interconnexion comme la charge et la décharge d'un condensateur  $C$  à travers une résistance  $R$ , où  $C$  et  $R$  sont les caractéristiques du segment d'interconnexion.

Pour la charge d'un condensateur, on a  $V_{out} = VDD(1 - e^{-t/RC})$ ;  $t = -RC \times \ln(1 - V_{out}/VDD)$ .

Le délai  $t_{PLH}$  correspond à atteindre le niveau  $V_{out}/VDD = 0.5$  (on suppose que le signal d'entrée est une onde carrée). On a alors  $t_{PLH} = -RC \times \ln(1 - 0.5) = RC \times \ln(2) \cong 0.693 RC$ . Supposons que le délai  $t_{PHL}$  est identique.

Selon ce modèle simplifié, le délai d'une interconnexion est directement proportionnel à  $R$  et à  $C$ .

a. Changer l'épaisseur de l'isolant du conducteur n'aura pas d'effet sur sa résistance  $R$ . La capacité  $C$  est inversement proportionnelle à  $d$ , l'épaisseur de l'isolant. Donc si on a  $d \times 0.9$ , on a  $C \times 1.1$ , et donc délai  $\times 1.1$ . Le délai augmenterait de 10%.

b. La capacité  $C$  est directement proportionnelle à l'aire du conducteur et donc à sa largeur. Si on a largeur  $\times 0.6$ , on aura donc  $C \times 0.6$ . La résistance  $R$  du conducteur est inversement proportionnelle à sa largeur, donc si on a largeur  $\times 0.6$ , on aura  $R \times 0.6$ . On aura donc délai  $\times 0.6 \times 1 / 0.6 =$  délai  $\times 1$ , pas de changement.

c. Changer de matériel pour le conducteur n'aura pas d'effet sur sa capacité. Mais sa résistance est directement proportionnelle à sa résistivité  $\rho$ . On trouve  $\rho_{Cu} = 1.68 \times 10^{-8}$  et  $\rho_{Al} = 2.82 \times 10^{-8}$  (en  $\Omega\cdot m$ ). En passant de l'aluminium au cuivre, la résistance des conducteurs serait donc réduite d'un facteur de  $2.82/1.68 \cong 1.68$ , et le délai aussi.

3. À discuter en classe.

### 4. Réponses

a. Le chemin critique fait C1R2, C2R0, C0R5, IOB\_Q. Le délai du chemin critique est de  $0.75 + 0.6 + 2.25 + 1.4 + 2.25 + 1.4 + 0.25 = 8.9$  ns, pour une fréquence maximale de 112 MHz.

b. Il faudrait faire un placement plus judicieux de façon à réduire le délai sur le chemin critique. On utiliserait la tranche C2R1 au lieu de C0R5, ce qui couperait 6 délais de routage vers C0R5 et 6 délais de routage vers l'IOB de sortie, pour un total de 2.4 ns de réduction. Le nouveau chemin critique serait plutôt alors B, C0R2, C1R0. Le délai critique serait  $0.75 + 0.4 + 2.25 + 0.6 + 2.25 + 0.25 = 6.5$  ns, pour  $f_{max} = 154$  MHz.

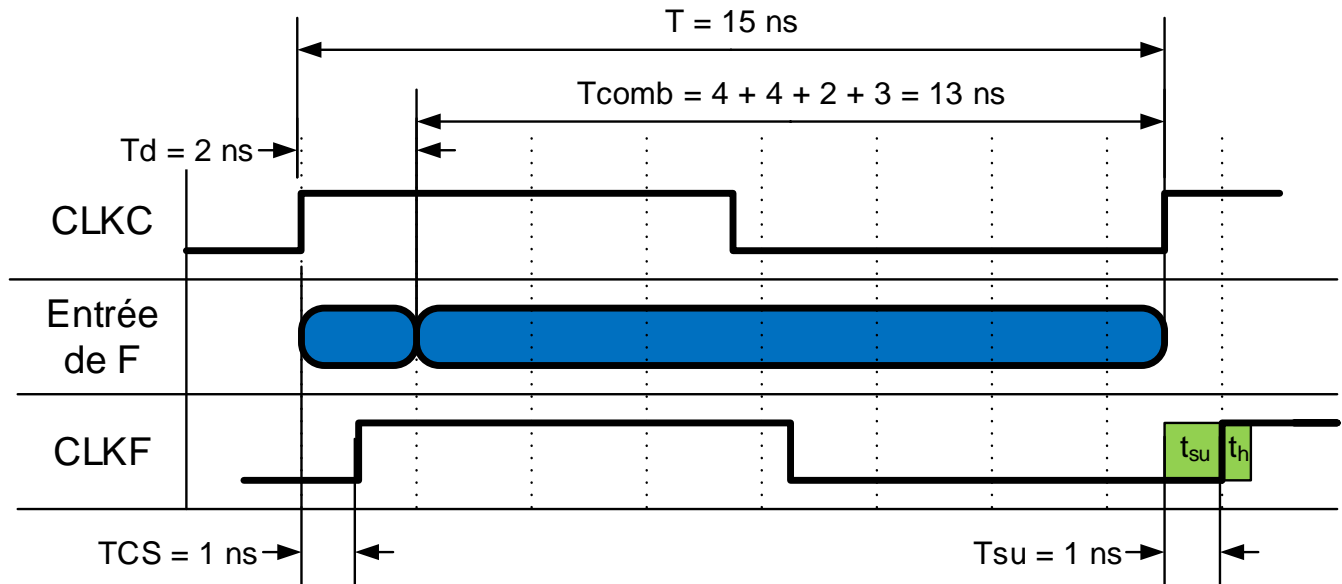
5. Voir les diapositives, série 1004.

### 6. Solution

a. On considère que la bascule  $C$  reçoit une horloge en retard par rapport aux autres. On a alors le cas #1 des diapositives ( $t_{cs}$  est négatif). La fréquence est de 50 MHz, donc la période est de 20 ns. Le chemin le plus long entre  $C$  et  $F$  fait  $2 + 4 + 4 + 2 + 3 + 1$  ns = 16 ns. Le déphasage d'horloge maximum acceptable est donc de  $16 - 20 = -4$  ns. Le signe négatif signifie que l'horloge de la bascule source est en retard par rapport à la bascule destination.

b. La bascule  $F$  a une horloge en retard par rapport aux autres. C'est donc un cas #3 des diapositives. On considère le même chemin critique, de  $C$  à  $F$ , dont le délai total est de 16 ns incluant le  $t_{su}$  de la bascule  $F$ . On pourrait soustraire 1 ns à ce délai, pour un total de 15 ns et une fréquence d'horloge maximale de 66.7 MHz.

Le diagramme suivant illustre la situation.



### 7. Solution

a.  $p_{\text{meta}} = (t_{\text{su}} + t_{\text{h}})/T = 3 / 10 = 0.3$

b.  $100 \times 0.3 = 30$  fois

c. On veut  $p_{\text{meta}} < 0.01$  donc  $T > 3 / 0.01 = 300 \text{ ns}$ , ou bien  $f < 3.3 \text{ MHz}$ .