

---

# Logique programmable

## Réseaux et circuits PLA, PAL, GAL et CPLD



Pierre Langlois

<http://creativecommons.org/licenses/by-nc-sa/2.5/ca/>

# Sujets de ce thème

- Réseaux de logique programme PLA
- Circuit PAL
- Circuit GAL
- Circuits logiques programmables complexes CPLD

Technologies de circuits intégrés à application spécifique (ASIC)	
Logique fixe	Logique programmable
	Mémoire morte <i>Programmable Read Only Memory – PROM</i> <i>Electrically Programmable ROM – EPROM</i> <i>Erasable EPROM – EEPROM</i>
ASIC sur mesure <i>Full-custom ASIC</i>	Réseau de logique programmable <i>Programmable Logic Array - PLA</i>
ASIC à cellules normalisées <i>Cell-based ASIC</i>	Circuit PAL <i>Programmable Array Logic™ - PAL</i>
Réseau pré-diffusé de portes <i>Gate Array</i>	Circuit GAL <i>Generic Array Logic™ - GAL</i>
	Circuit logique programmable complexe <i>Complex Programmable Logic Device – CPLD</i>
	Réseau prédiffusé programmable par l'utilisateur <i>Field-Programmable Gate Array – FPGA</i>

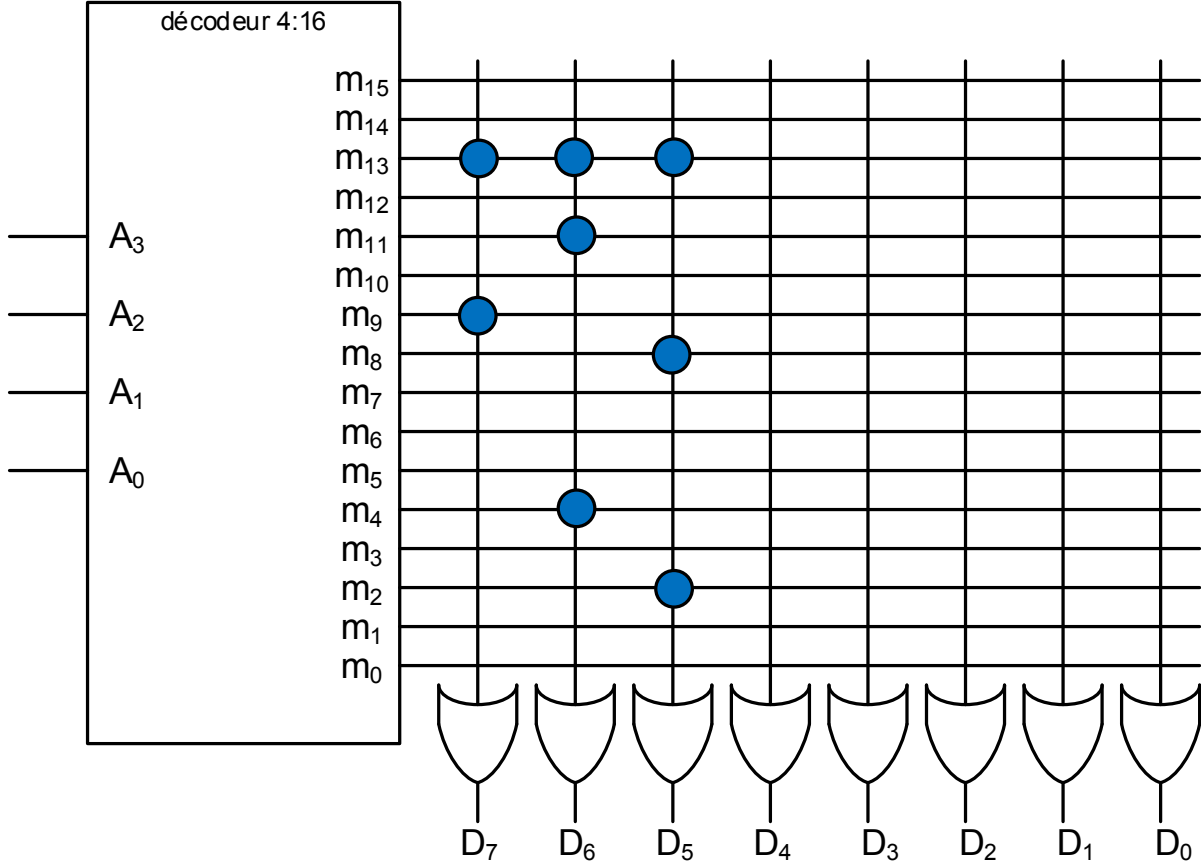
# Réseaux de logiques programmable : PLA, PAL et GAL

---

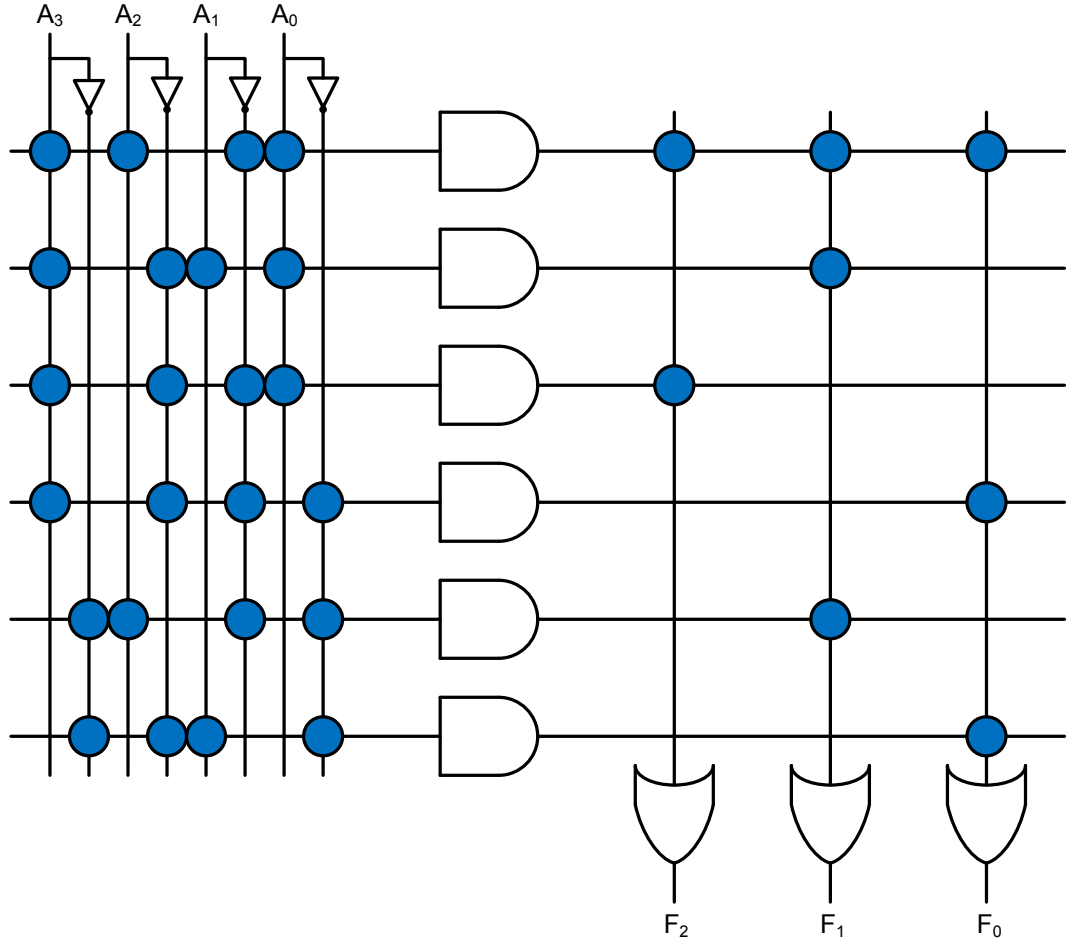
- L'implémentation de circuits logiques avec des circuits SSI, MSI et LSI nécessite beaucoup de travail pour choisir, disposer et relier les composants discrètes.
- Certaines fonctions logiques complexes peuvent être remplacées par des PROM, mais une mémoire est en général trop grande et pas assez flexible pour bien convenir à la tâche.
- Les PLA (1970), et PAL (1978) étaient plus efficaces que les PROM; ils pouvaient être programmés chez le fabricant ou une fois par l'utilisateur.
- Les GAL sont la version améliorée des PLA et PAL et sont programmables par l'utilisateur.

# ROM vs PLA: problème d'efficacité de la ROM

ROM 16 × 8



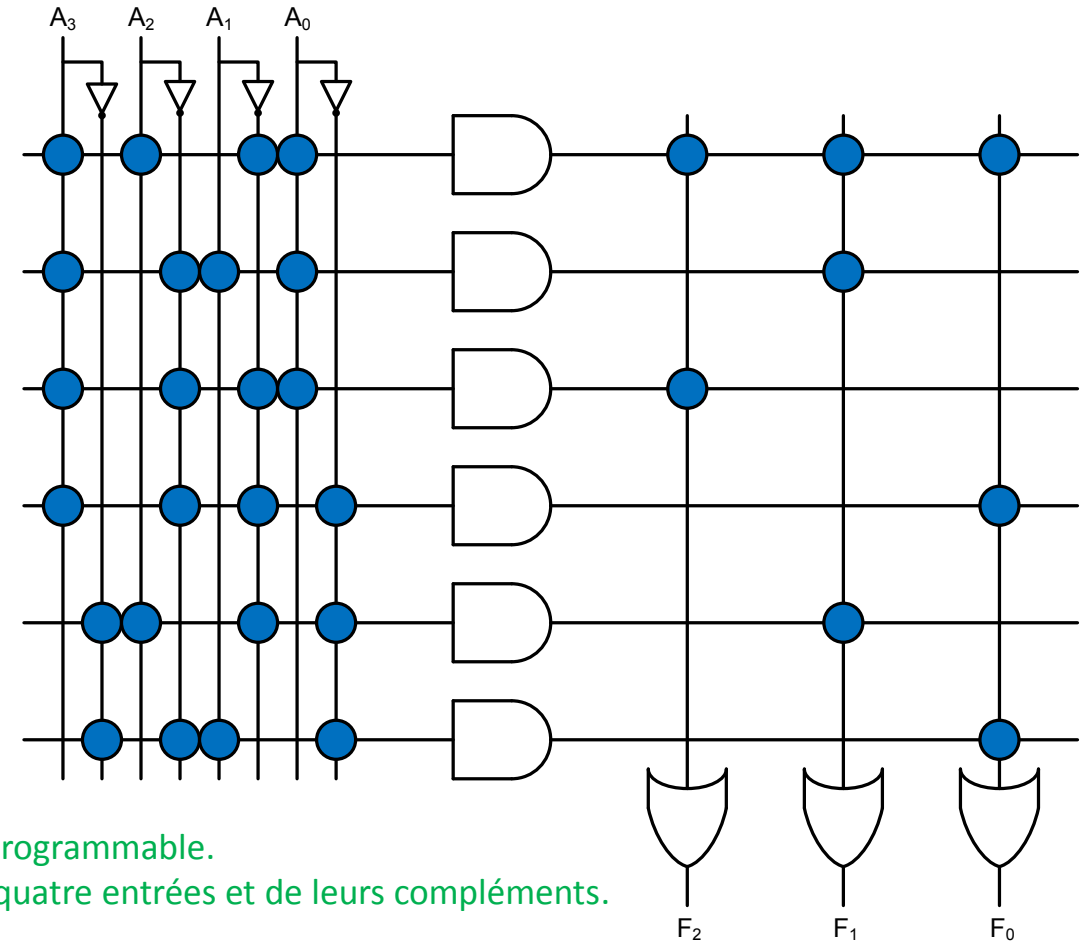
PLA à 4 entrées, 3 sorties et 6 termes



# Réseaux de logiques programmables : PLA

- Un PLA (*Programmable Logic Array*) est similaire à une ROM, mais il ne réalise pas tous les produits de termes comme une ROM.
- Un PLA à  $n$  entrées et  $m$  sorties peut réaliser  $m$  fonctions de  $n$  variables, en autant que chacune requiert un nombre limité de produits des variables en entrée.
- Un PLA est composé de deux réseaux programmables, ET et OU. Le réseau ET programmable est effectivement un décodeur programmable incomplet.

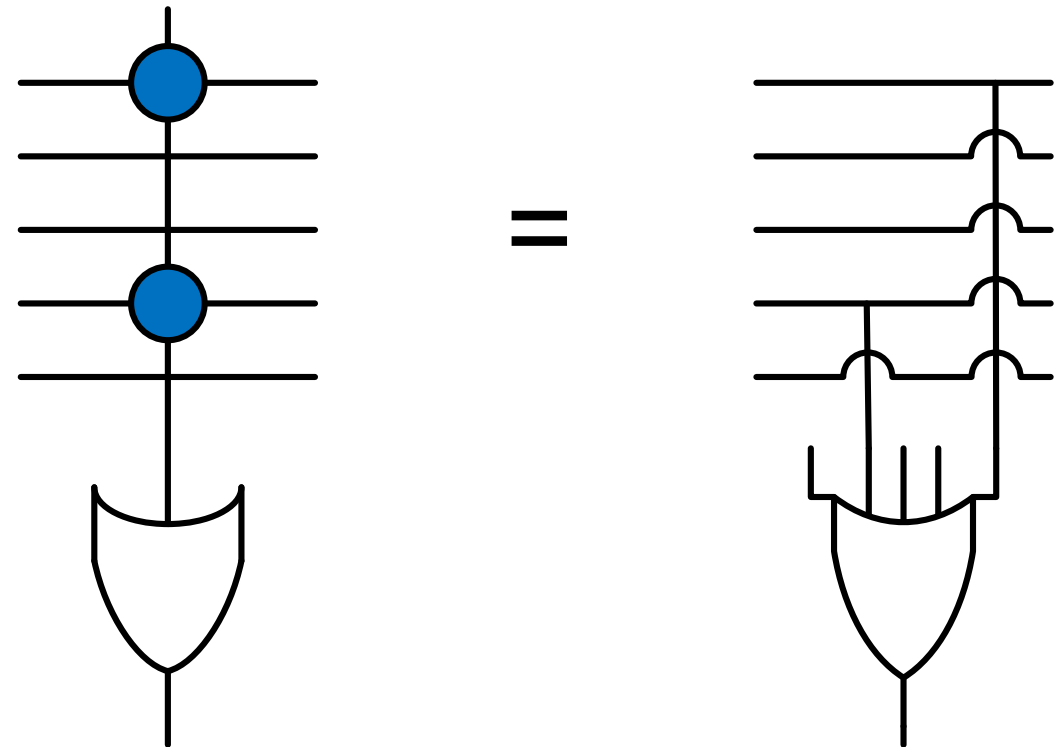
Exemple: PLA à 4 entrées, 3 sorties et 6 termes



- Chaque intersection d'une ligne horizontale et d'une ligne verticale est programmable.
- Seuls 6 termes (produits – ET logique) peuvent être réalisés à partir des quatre entrées et de leurs compléments.
- Seules trois fonctions de sortie peuvent être réalisées.
- Chaque fonction peut utiliser n'importe lequel des six termes programmés

# Réseaux de logiques programmables : PLA

- On utilise une représentation compacte des portes logiques avec plusieurs entrées.



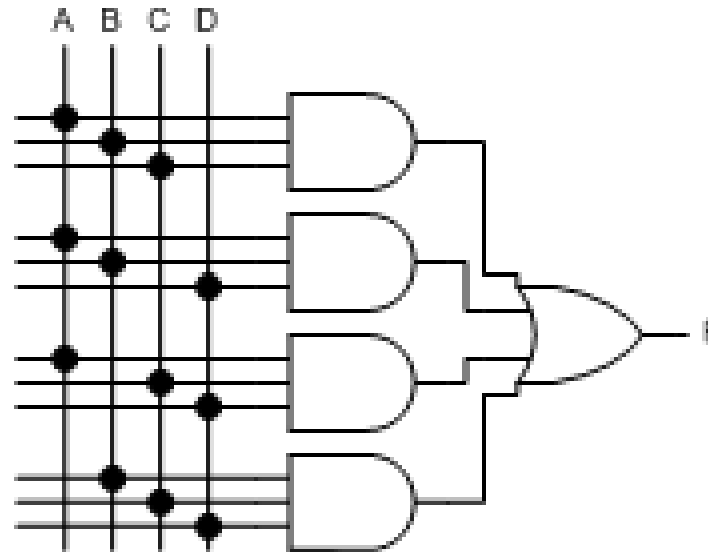
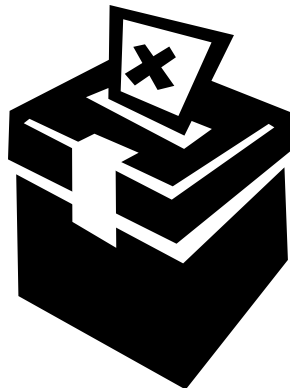
# Retour: le problème du vote

Un comité composé de quatre personnes a besoin d'un mécanisme de vote secret pour les amendements sur la constitution du comité.

Un amendement est approuvé si au moins 3 personnes votent pour.

Concevoir un circuit logique qui accepte 4 entrées représentant les votes. La sortie du circuit doit indiquer si l'amendement est accepté.

$$F = A'BCD + AB'CD + ABC'D + ABCD' + ABCD$$
$$= BCD + ACD + ABD + ABC$$



A	B	C	D	F
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

# Réseau PLA: exemple – implémentation d'une fonction logique

Programmer le circuit PAL 4 – 3 – 6 pour implémenter le circuit du problème du vote.

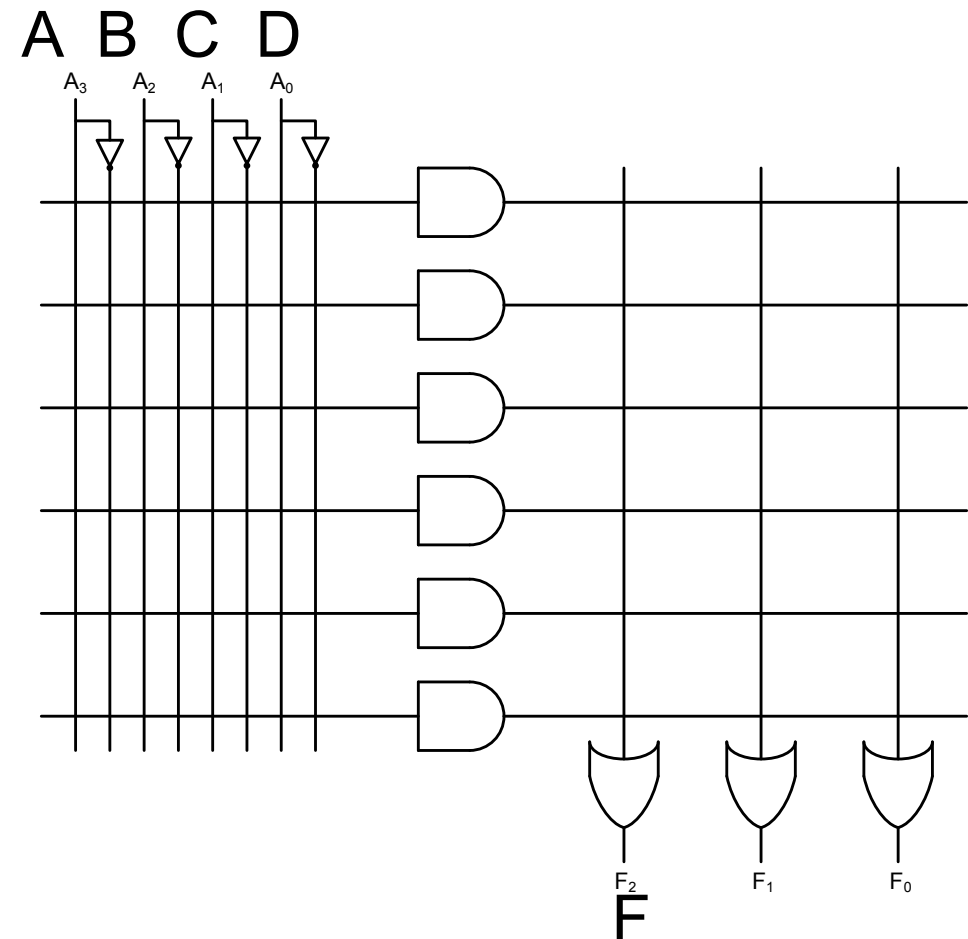
Étapes:

1. Choisir les ports d'entrée et de sortie.
2. Écrire les équations de sortie en somme de produits
3. Indiquer quelles connexions établir.

Observations:

- La minimisation des équations n'est pas toujours utile.
- L'ordre dans lequel on place les entrées est crucial.
- L'utilisation d'un circuit PAL 4-3-6 est mieux qu'une ROM 16 × 8 pour ce circuit.

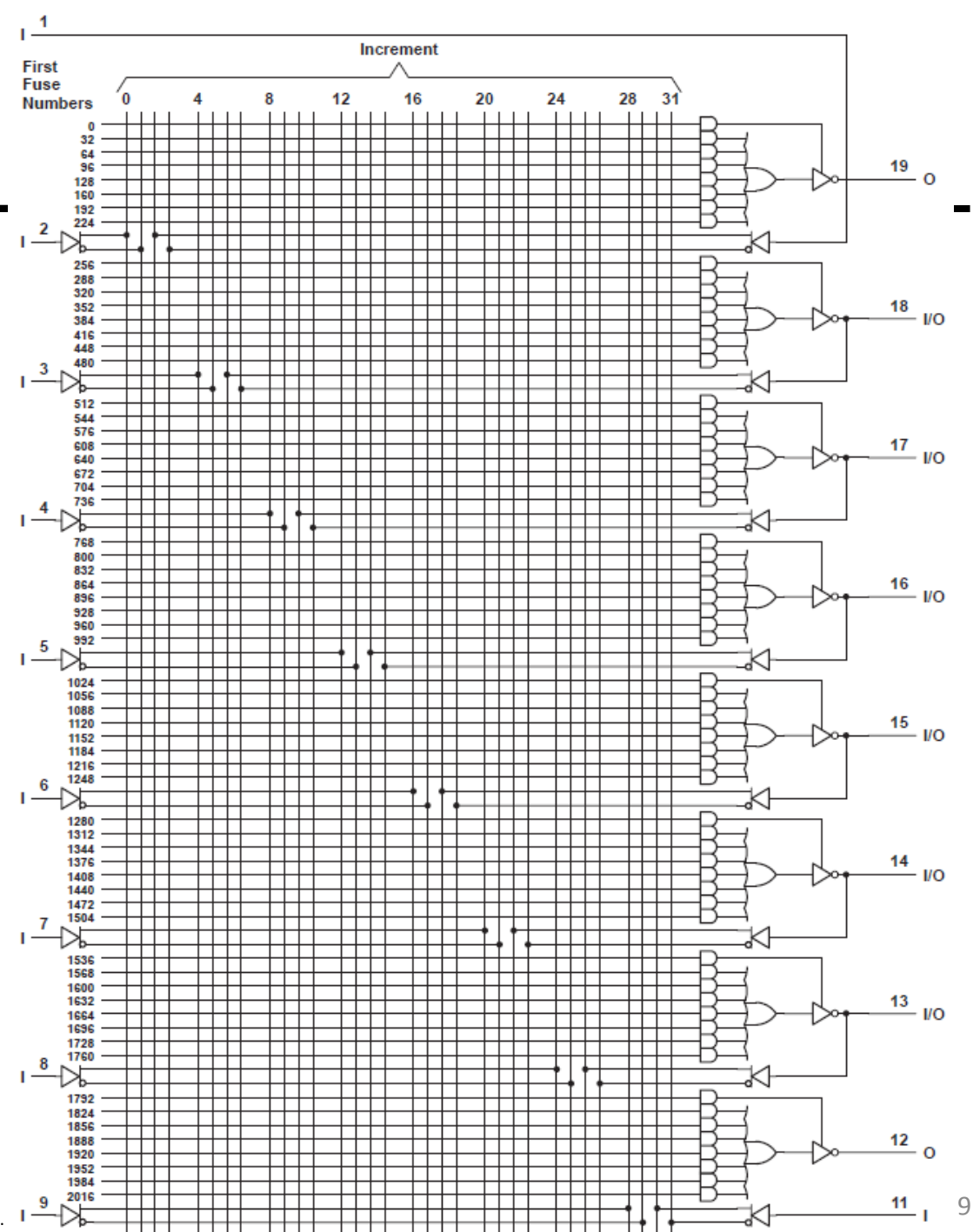
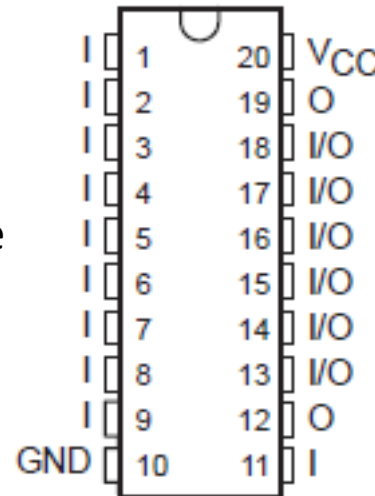
$$F = A'BCD + AB'CD + ABC'D + ABCD' + ABCD \\ = BCD + ACD + ABD + ABC$$





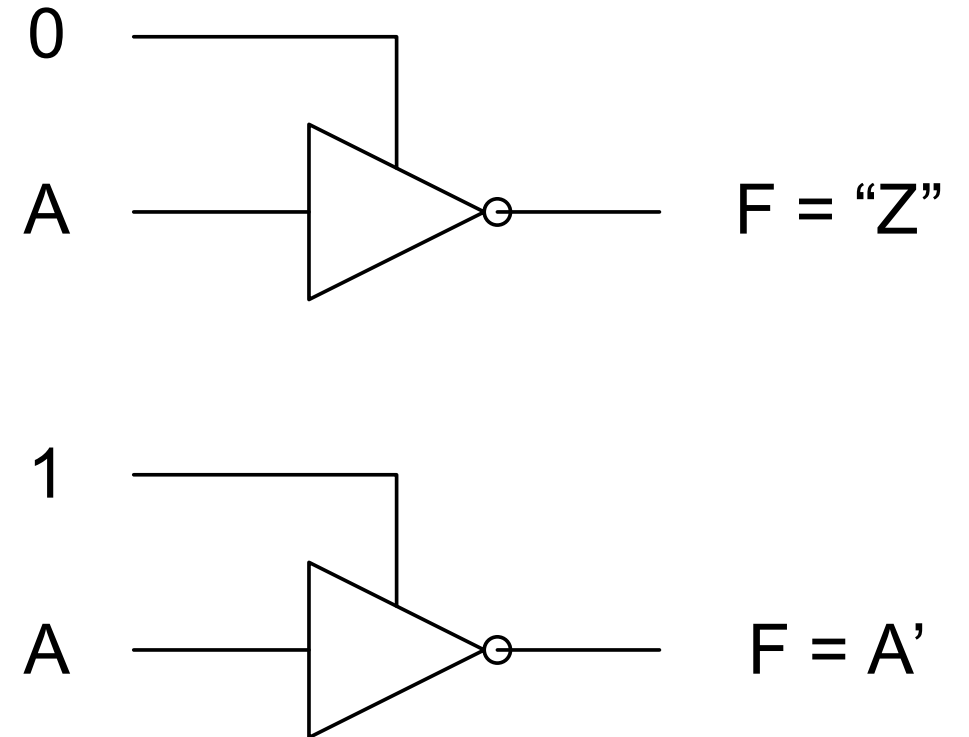
# Réseaux logiques programmables : circuit PAL (*Programmable Array Logic*)

- Dans un circuit PAL, le réseau ET est programmable et le réseau OU est fixe.
- Chaque intersection d'une ligne horizontale et d'une ligne verticale est programmable.
- Les portes ET ont une sortie de 0 par défaut.
- Chaque patte de sortie est menée par un tampon inverseur contrôlé par une fonction logique.
- Un PAL16L8 a:
  - 10 entrées dédiées (pattes 1-9 et 11)
  - 2 sorties dédiées (pattes 12 et 19)
  - 6 pattes pouvant être utilisées comme entrée ou sortie (pattes 13-18)



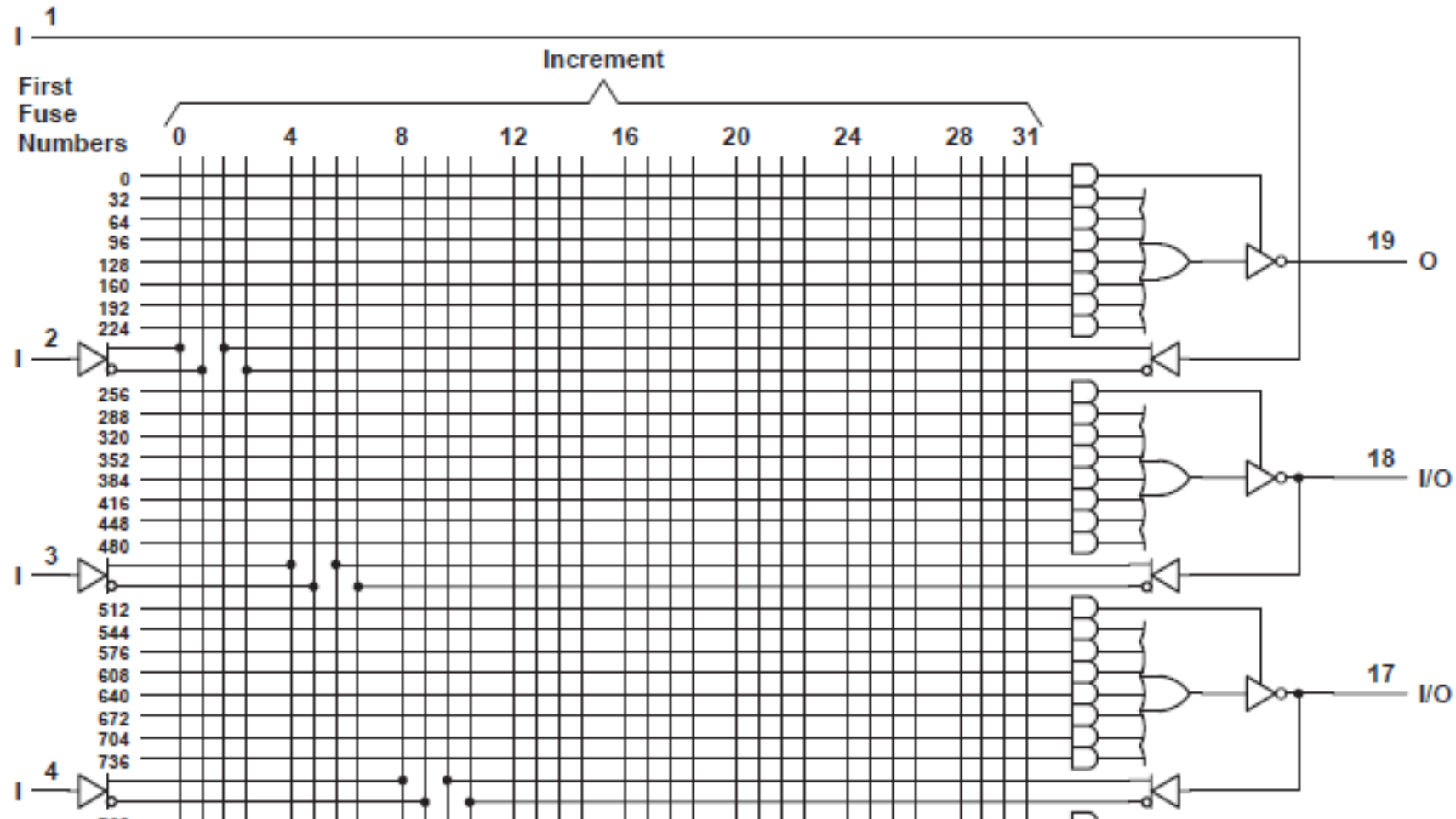
# Tampons inverseurs à la sortie

- Les pattes de sortie d'un PAL 16L8 incluent un tampon inverseur.
- La sortie peut donc être:
  - l'inverse de la porte OU à laquelle elle est reliée; ou
  - une haute impédance (« Z »).



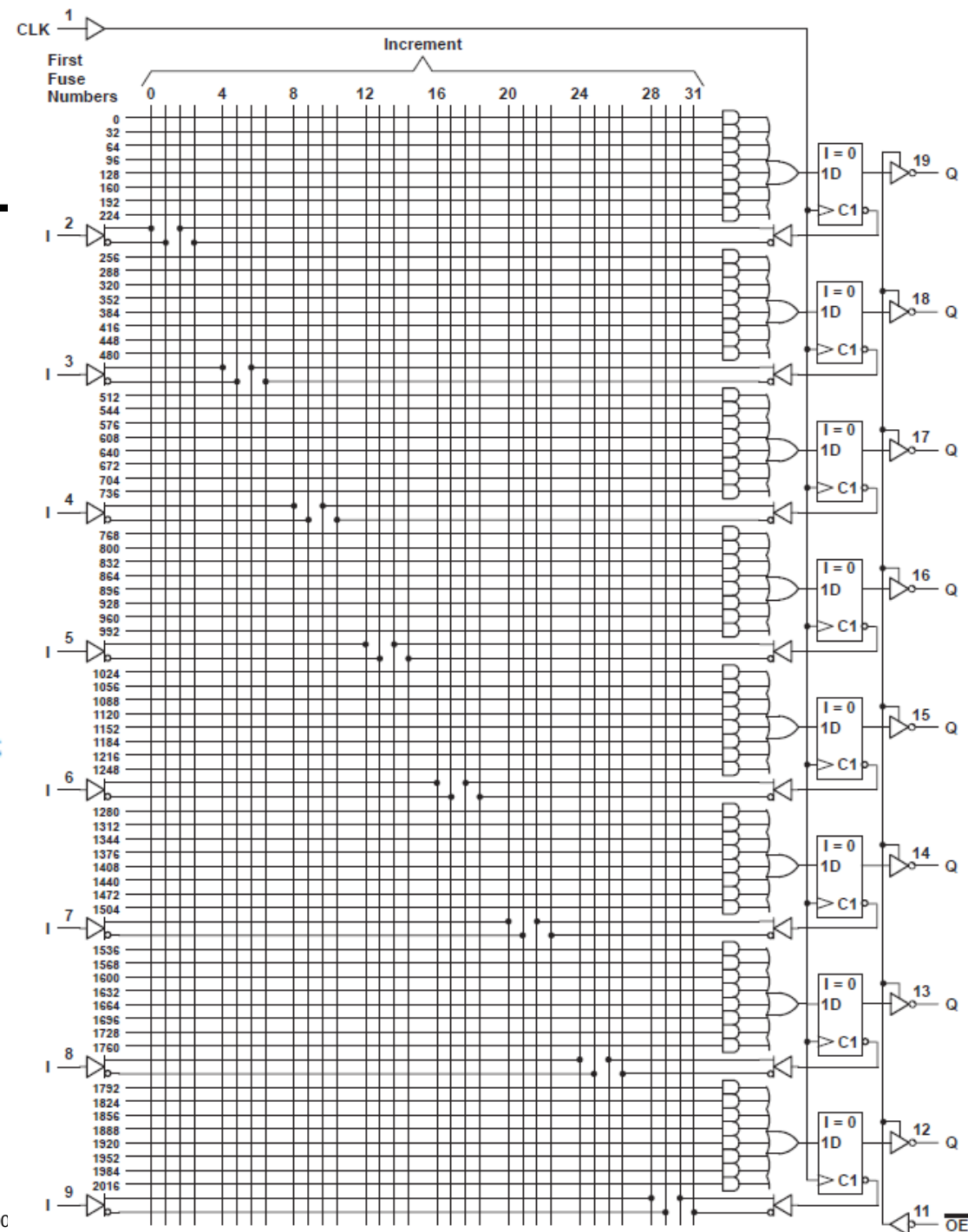
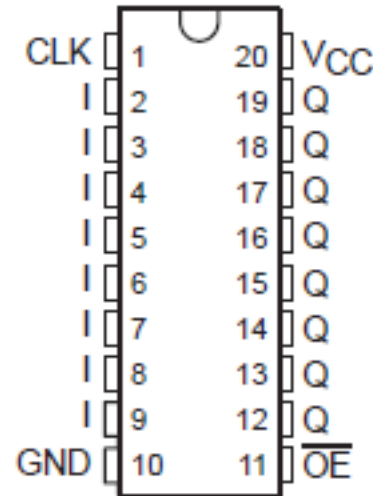
# Réseaux logiques programmables : circuit PAL

- On programme un PAL en établissant des connexions entre les lignes verticales et horizontales pour former des sommes de produits.
- Les sorties sont toujours inversées, il faut en tenir compte.



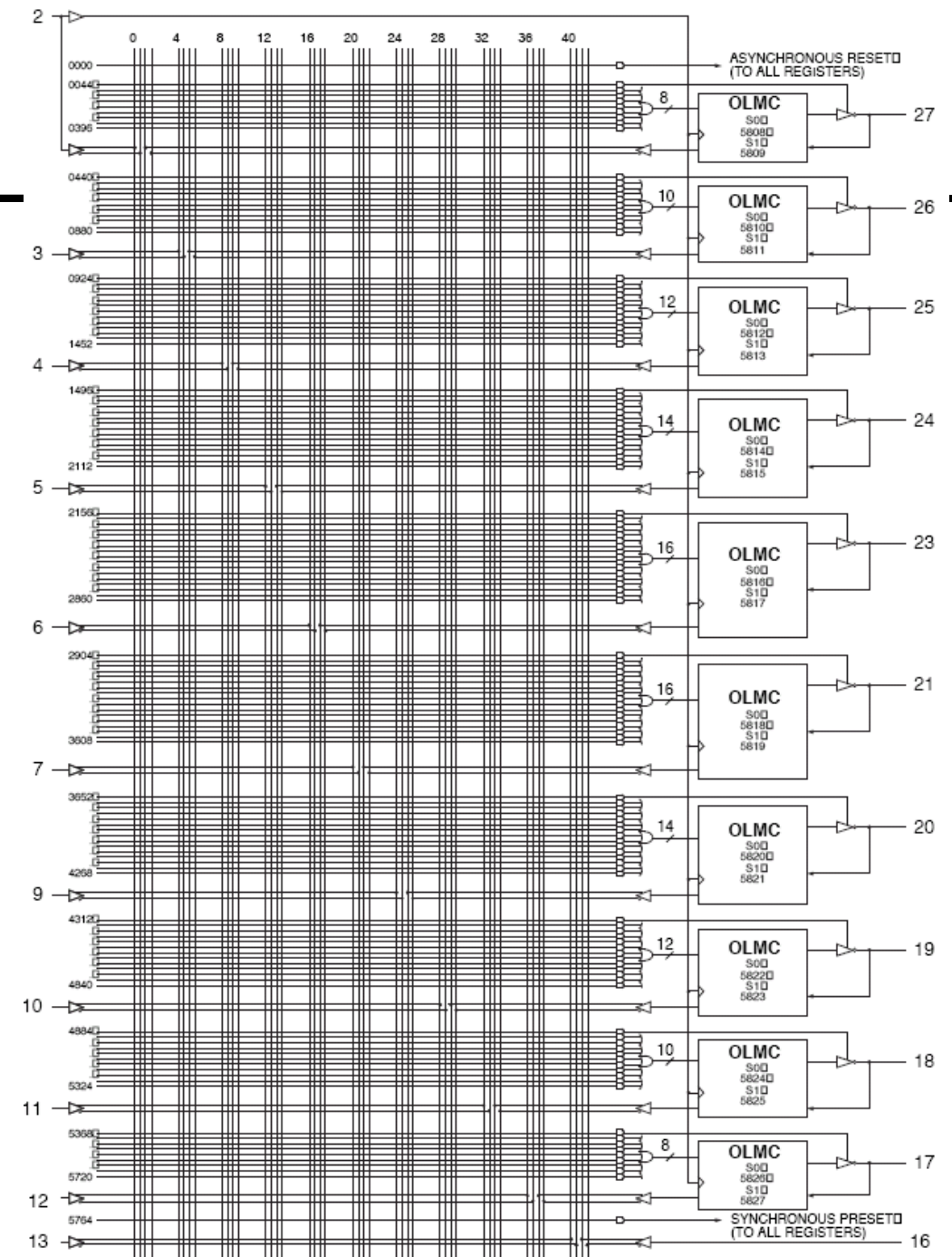
# PAL 16R8

- Un PAL peut avoir des bascules en sortie.
- Un PAL16R8 a:
  - 8 entrées (pattes 2-9);
  - 8 sorties avec bascule (pattes 12-19);
  - une patte d'horloge (CLK); et,
  - une patte de contrôle de la sortie (OE').



# Réseaux logiques programmables : circuits GAL

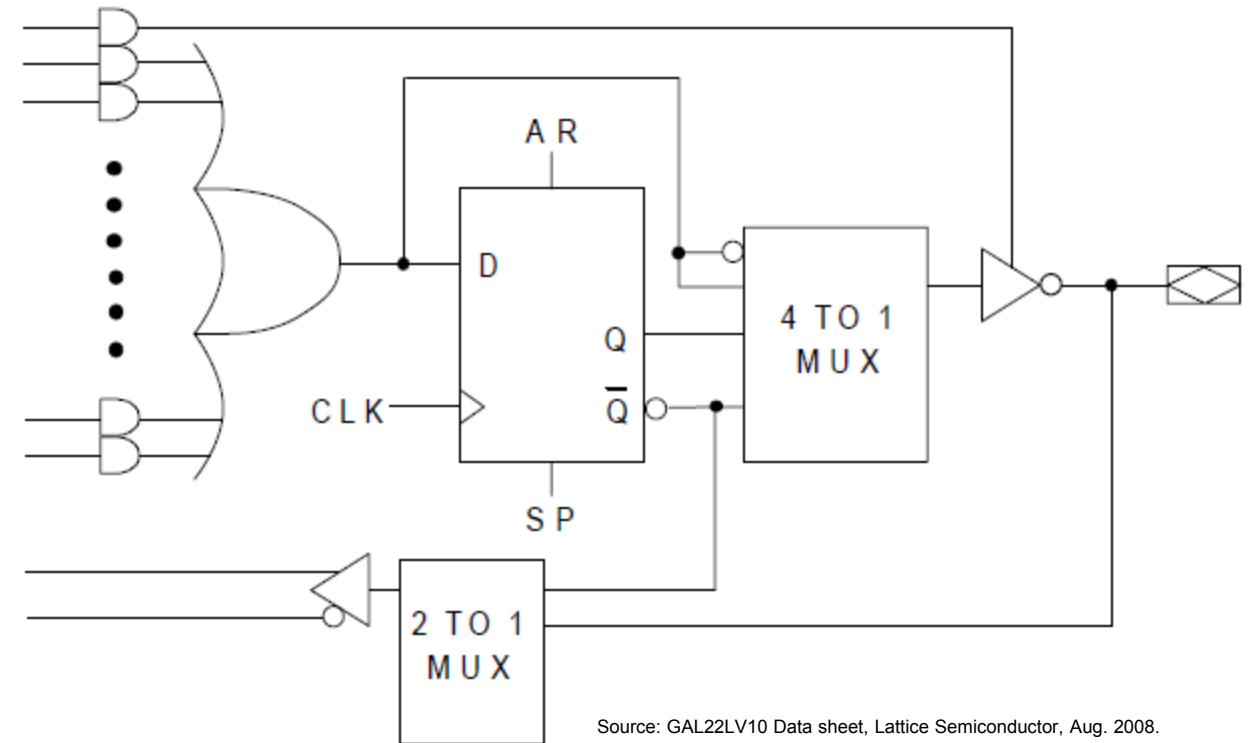
- Circuits GAL (*Generic Array Logic*):
  - dispositifs programmables par l'utilisateur;
  - mis en marché par Lattice Semiconductors en 1985;
  - peuvent émuler différents types de PAL.
- Les circuits GAL ont longtemps remplacé les composants SSI-LSI, mais ne sont plus manufacturés.



Source: GAL22LV10 Data sheet, Lattice Semiconductor, Aug. 2008.

# Circuits GAL: macro-cellule

- Le schéma montre une macro-cellule (*Output Logic Macro Cell – OLMC*).
- La sortie de la OLMC peut être:
  - En haute impédance;
  - sortie combinatoire inversée ou non;
  - sortie de bascule inversée ou non; ou,
  - renvoyée dans le réseau programmable.



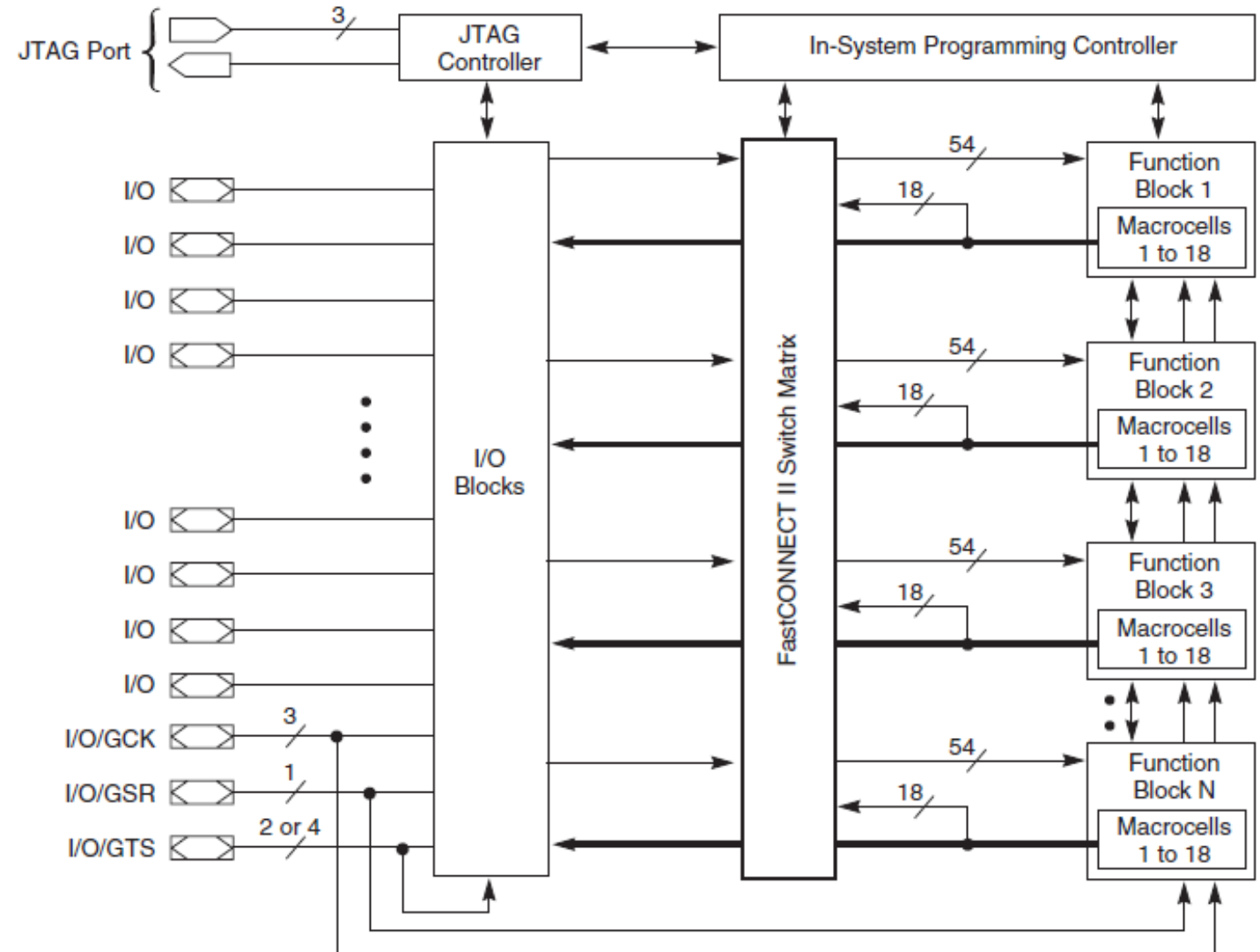
# Circuits logiques programmables complexes (CPLD)

---

- Les ROM, PLA, PAL et GAL sont parfois appelés des circuits logique programmable simples (*Simple Programmable Logic Devices* – SPLD).
- Les *Complex Programmable Logic Devices* – CPLD – sont une extension naturelle des circuits PAL.
- Un CPLD incorpore plusieurs PAL sur une seule puce avec un réseau d'interconnexions.
- Le réseau permet de relier les pattes de la puce à différents blocs internes et de relier les blocs entre eux.

# Exemple : famille CPLD XC9500XL de Xilinx

- Chaque bloc fonctionnel est un PAL à 54 entrées et 18 sorties.
- Les macro-cellules contiennent un élément programmable à mémoire.
- Le circuit comprend peut comprendre de 2 à 16 blocs fonctionnels.
- Le réseau d'interconnexions permet d'établir des connexions entre les blocs d'entrées-sorties reliés aux pattes de la puce et les blocs fonctionnels.





# Vous devriez maintenant être capable de ...

---

- Expliquer, à l'aide d'un diagramme, la structure interne des PLA, PAL, GAL et CPLD. (B2)
- Donner la fonction logique réalisée par un circuit PLA ou PAL programmé. (B3)
- Montrer comment programmer un dispositif PLA ou PAL pour réaliser un circuit combinatoire. (B3)

Code	Niveau ( <a href="http://fr.wikipedia.org/wiki/Taxonomie_de_Bloom">http://fr.wikipedia.org/wiki/Taxonomie_de_Bloom</a> )
B1	Connaissance - mémoriser de l'information.
B2	Compréhension – interpréter l'information.
B3	Application – confronter les connaissances à des cas pratiques simples.
B4	Analyse – décomposer un problème, cas pratiques plus complexes.
B5	Synthèse – expression personnelle, cas pratiques plus complexes.