

INF3500 : Conception et réalisation de systèmes numériques

Examen intra 1

Lundi 10 février 2020

Durée: 1h.

Pondération: 10%.

Documentation: Une feuille recto verso 8.5"×11" ou A4 permise.

Calculatrice: Programmable permise.

Directives particulières:

- Ordinateurs interdits.
- Répondre à toutes les questions, la valeur de chaque question est indiquée.
- Répondre dans le questionnaire.
- Ne posez pas de question durant l'examen. En cas de doute sur le sens d'une question, énoncez clairement toute supposition que vous faites.

Nom : _____; Prénom : _____

Matricule : _____

Question 1. (2 points)

Considérez le circuit CMOS de la Figure 1.

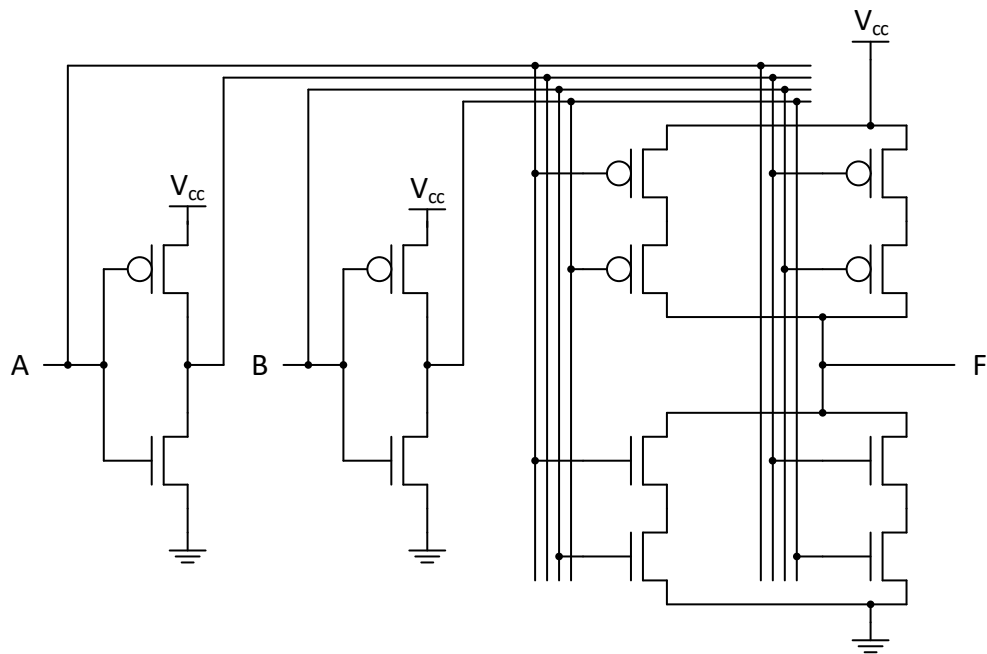


Figure 1 Circuit CMOS de la fonction F.

a) **(0.5 point)** Donnez la table de vérité de la fonction F.

A	B	F
0	0	0
0	1	1
1	0	1
1	1	0

b) (0.5 point) Complétez le VHDL suivant permettant d'implémenter la fonction F :

```
library ieee;
use ieee.std_logic_1164.all;
entity q1 is
port ( A, B : in  std_logic;
      F   : out std_logic)
end q1;
architecture arch of q1 is
begin
    f <= A xor B; -- Complétez cette ligne
end arch;
```

c) (1 point) Indiquez dans les zones grisées du circuit de la Figure 2 les connexions devant être réalisées pour que la fonction G donne F' ($G = F'$). Justifiez votre réponse.

Justification :

$$G = F' = (A \text{ xor } B)' = A \text{ xor } B'$$

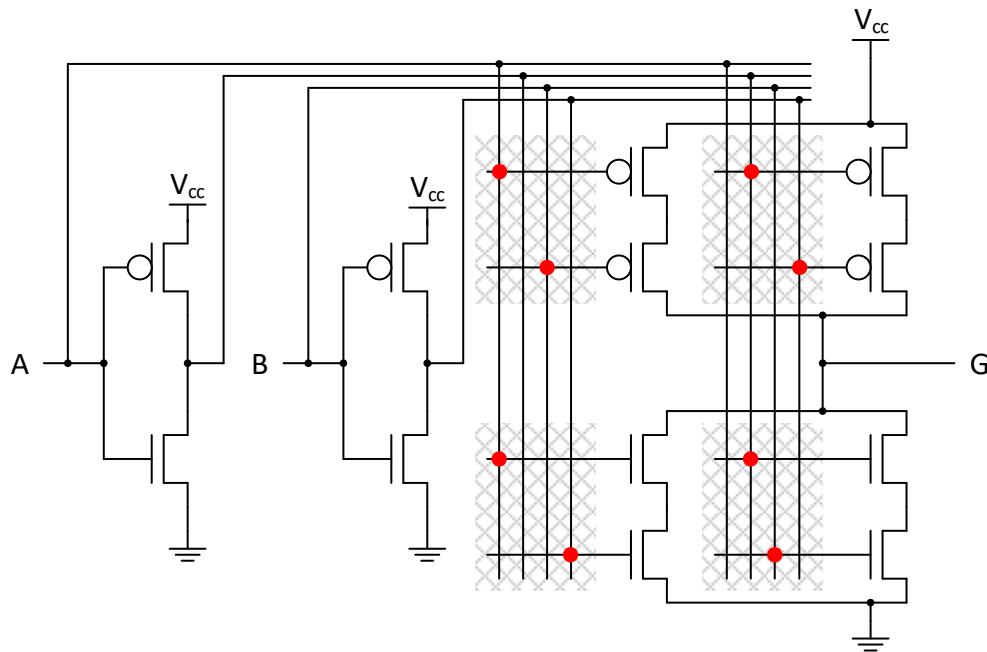


Figure 2 Circuit CMOS de la fonction G.

Question 2. (3 points)

Implémentez le code VHDL suivant en utilisant la PROM de la **Error! Reference source not found.** Identifiez clairement le nom des signaux d'entrée et de sortie.

```

library ieee;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all;

entity q2 is
port ( A : in  unsigned(2 downto 0);
      F : out unsigned(3 downto 0));
end q2;

architecture arch of q2 is
begin
  process( A ) is
    variable k : natural;
  begin
    k := to_integer(A);
    if ( ((k + 2) mod 3) = 0 ) then
      F <= to_unsigned(15, 4);
    elsif ( ((k + 1) mod 2) = 0 ) then
      F <= to_unsigned( 7, 4);
    else
      F <= to_unsigned( 0, 4);
    end if;
  end process;
end arch;

```

Connecté à A₃ : **_0**Connecté à D₅ : _____Connecté à A₂ : **A(2)**Connecté à D₄ : _____Connecté à A₁ : **A(1)**Connecté à D₃ : **F(3)**Connecté à A₀ : **A(0)**Connecté à D₂ : **F(2)**Connecté à D₇ : _____Connecté à D₁ : **F(1)**Connecté à D₆ : _____Connecté à D₀ : **F(0)** _____

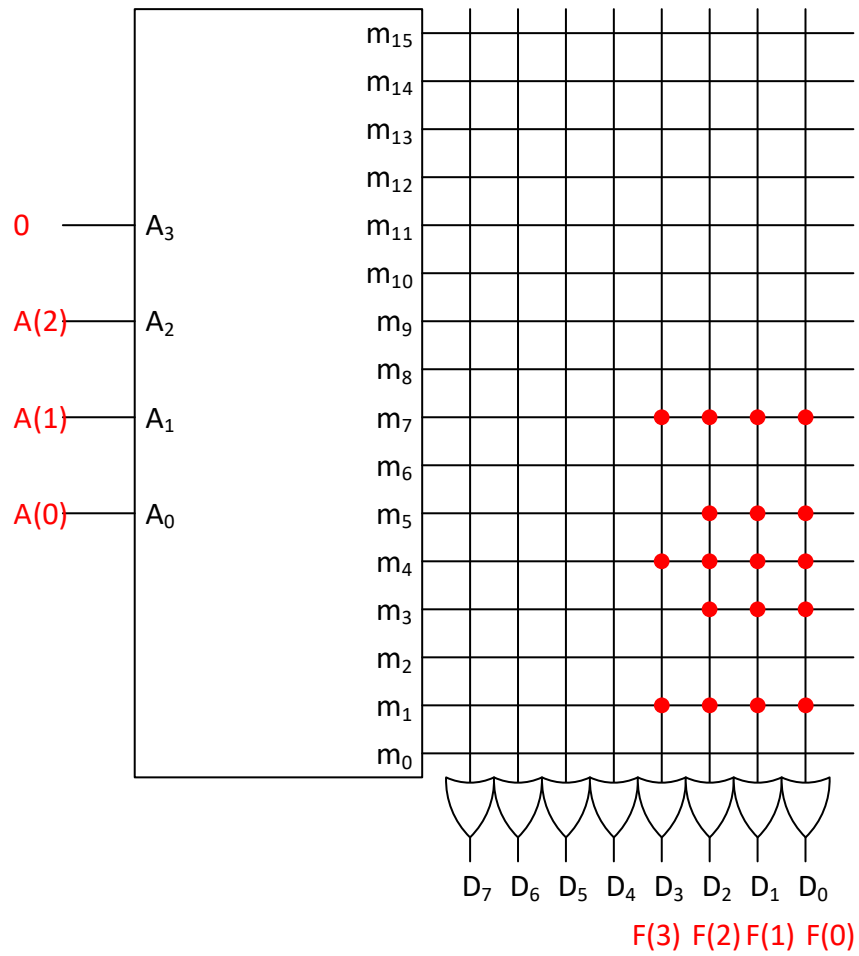


Figure 3 PROM

Question 3. (2 points)

Un système de contrôle de suspension dynamique pour une motoneige peut être implémenté dans un FPGA coûtant \$50 l'unité. On peut aussi l'implémenter dans une puce sur mesure, avec des coûts de développement de \$50K et des frais de fonderie de \$250K pour les 1 000 premières puces. Les puces suivantes ne coûteraient que \$1 l'unité.

a) **(0.25 point)** Combien coûterait la fabrication de 1 000 systèmes de contrôle implémentés sur FPGA ?

$$1\ 000 \times \$50 = \$50K$$

b) **(0.25 point)** Combien coûterait la fabrication de 10 000 systèmes de contrôle implémentés sur FPGA ? Justifiez votre réponse par un calcul.

$$10\ 000 \times \$50 = \$500K$$

c) **(0.25 point)** Combien coûterait la fabrication de 1 000 systèmes de contrôle implémentés sur une puce sur mesure ? Justifiez votre réponse par un calcul.

$$\$50K + \$250K = \$300K$$

d) **(0.25 point)** Combien coûterait la fabrication de 10 000 systèmes de contrôle implémentés sur une puce sur mesure ? Justifiez votre réponse par un calcul.

$$\$50K + \$250K + (10\ 000 - 1\ 000) \times \$1 = \$309K$$

e) **(1 point)** À partir de combien de motoneiges fabriquées l'option d'une puce sur mesure devient-elle rentable? Justifiez votre réponse par un calcul.

Sachant que 1 000 systèmes FPGA coûtent moins cher que 1 000 puces sur mesure, il faudrait produire plus de 1000 systèmes pour que la puce sur mesure soit plus rentable. On peut alors poser l'inéquation :

$$\$50K + \$250K + (n - 1\ 000) \times \$1 < n \times \$50$$

$$n \times \$49 > \$300K - \$1K$$

$$n \times \$49 > \$299K$$

$$n > 6102.04$$

$$n \geq 6103$$

Question 4. (3 points)

Soit le code VHDL suivant :

```

library ieee;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all;
entity q4 is
port (A : in std_logic_vector(3 downto 0);
      F : out std_logic);
end q4;
architecture arch of q4 is
begin
    F <= (A(3) and A(2)) or (A(3) and A(1)) or (A(3) and A(0))
        or (A(2) and A(1)) or (A(2) and not(A(0)));

end arch;

```

Pour lequel est déclaré le banc d'essais suivant :

```

library ieee;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all;

entity q4_tb is
end q4_tb;
architecture test of q4_tb is
    signal A : std_logic_vector(3 downto 0);
    signal F : std_logic;
begin
    UUT1 : entity q4(arch) port map (A => A, F => F);
    process
        variable compte : natural;
    begin
        for k in 0 to 15 loop
            A <= std_logic_vector( to_unsigned(k, 4) );
            wait for 5 ns;

            compte := 0;
            for b in 0 to 3 loop
                if ( A(b) = '1' ) then
                    compte := compte + 1;
                end if;
            end loop;

            if ( compte > 1 ) then
                assert F = '1' report "Erreur 1 pour A = " &
                    integer'image(to_integer(unsigned(A))) severity error;
            else
                assert F = '0' report "Erreur 0 pour A = " &
                    integer'image(to_integer(unsigned(A))) severity error;
            end if;
    end process;

```

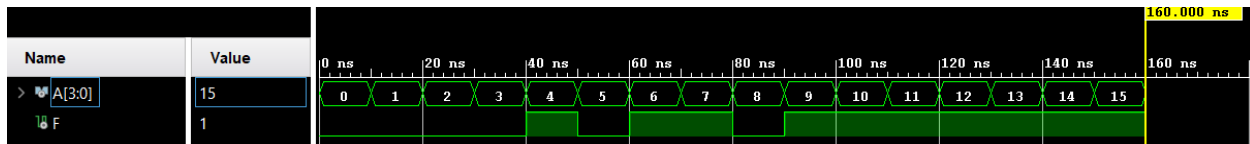
```

    wait for 5 ns;
  end loop;
  report "simulation terminée" severity failure;
end process;
end test;

```

Sachant que q4 comporte des erreurs de conception et que le simulateur s'interrompt sur un énoncé `report` uniquement si la sévérité est `failure`, répondez aux questions suivantes.

a) (1 point) Complétez le chronogramme suivant, résultant de l'exécution du banc d'essais q4_tb.



b) (1 point) Combien d'erreurs seront rapportées (`report`) durant l'exécution du banc d'essais q4_tb. Justifiez votre réponse.

q4 et q4_tb n'obéissent pas à la même table de vérité, comme l'illustrent les tables de Karnaugh suivantes :

q4

	A_1A_0			
	00	01	11	10
A_3A_2	00	01	11	10
00	0	0	0	0
01	1	0	1	1
11	1	1	1	1
10	0	1	1	1

q4_tb

	A_1A_0			
	00	01	11	10
A_3A_2	00	01	11	10
00	0	0	<u>1</u>	0
01	<u>0</u>	<u>1</u>	1	1
11	1	1	1	1
10	0	1	1	1

Il y a donc 3 erreurs au total qui surviennent pour $A = 3, 4$ et 5 .

c) (1 point) Donnez le détail des messages affichés par les énoncés `report` durant l'exécution du banc d'essais q4_tb.

Error: Erreur 1 pour $A = 3$

Error: Erreur 0 pour $A = 4$

Error: Erreur 1 pour $A = 5$

Failure: simulation terminée