

INF3500 : Conception et réalisation de systèmes numériques

Examen intra #3 – jeudi 2 décembre 2021

Durée: 1 heure.

Documentation: Une feuille recto verso 8.5"×11" ou A4 permise.

Pondération: 0% (formatif).

Calculatrice: Programmable permise.

Directives particulières:

- Ordinateurs interdits. Appareils mobiles interdits.
 - Répondre à toutes les questions, la valeur de chaque question est indiquée.
 - Répondre sur le questionnaire et le remettre.
 - Ne posez pas de questions. En cas de doute sur le sens d'une question, énoncez clairement vos suppositions.
-

Question 1. (1 point)

a. Expliquez dans quels cas la division et le calcul du modulo sont supportés par les outils de synthèse présentement sur le marché, et pourquoi ces opérations ne le sont pas dans les autres cas.

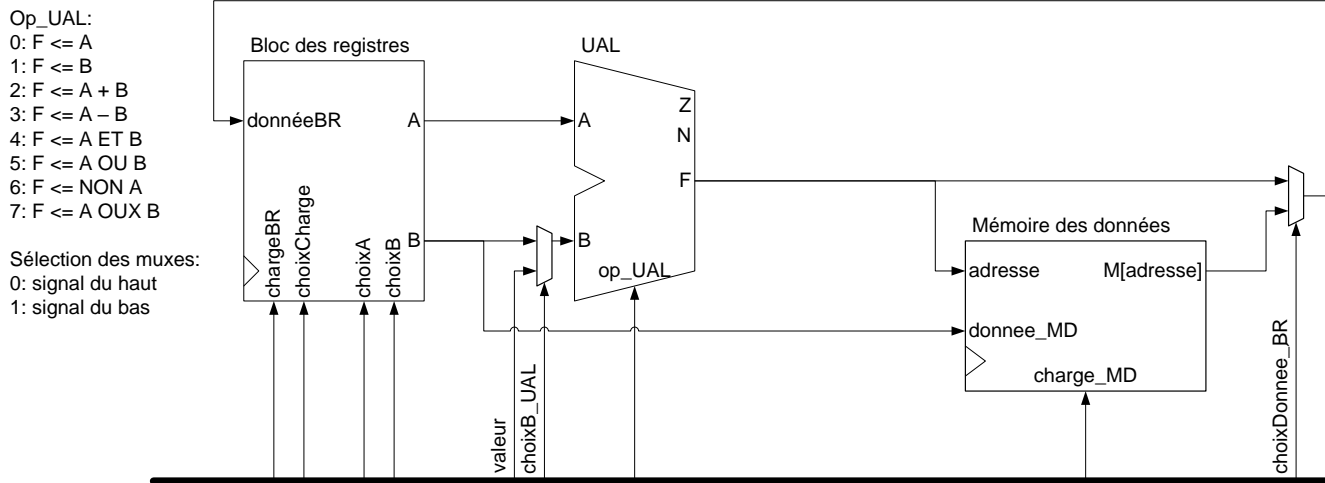
b. Qu'est-ce qui est produit par un outil de synthèse à partir d'un code VHDL valide?

c. Dans quelles conditions une boucle en VHDL est-elle synthétisable ? Expliquez pourquoi.

d. Donnez deux métriques pour comparer différentes solutions de placement d'un circuit numérique sur un FPGA.

Question 2. (3 points)

Considérez le chemin des données suivant du processeur PolyRISC.



a. (2 points) Indiquez si chaque opération ou groupe d’opérations simultanées suivants est possible. Si oui, donnez la valeur des signaux de contrôle correspondants.

Opération ou groupe d’opérations simultanées	Possible ?	chargeBR	choixCharge	choixA	choixB	valeur	ChoixB_UAL	Op_UAL	Charge_MD	choixDonnee_BR
R4 := M[R0 + R2] ;										
R7 := R1 + R2 ; M[R1 + R2] := R1;										
R0 := 534 ; R4 := M[R0 + 534];										
R3 := R4 + R5; R4 := M[R4 + R5] ;										
R2 := R1 ET 85; M[R1 + 85] := R3;										

b. (1 point) Si des opérations ou groupes d’opérations sont impossibles, indiquez pourquoi dans chaque cas et proposez une modification au chemin des données pour la/les rendre possible(s).

Question 4. (3 points)

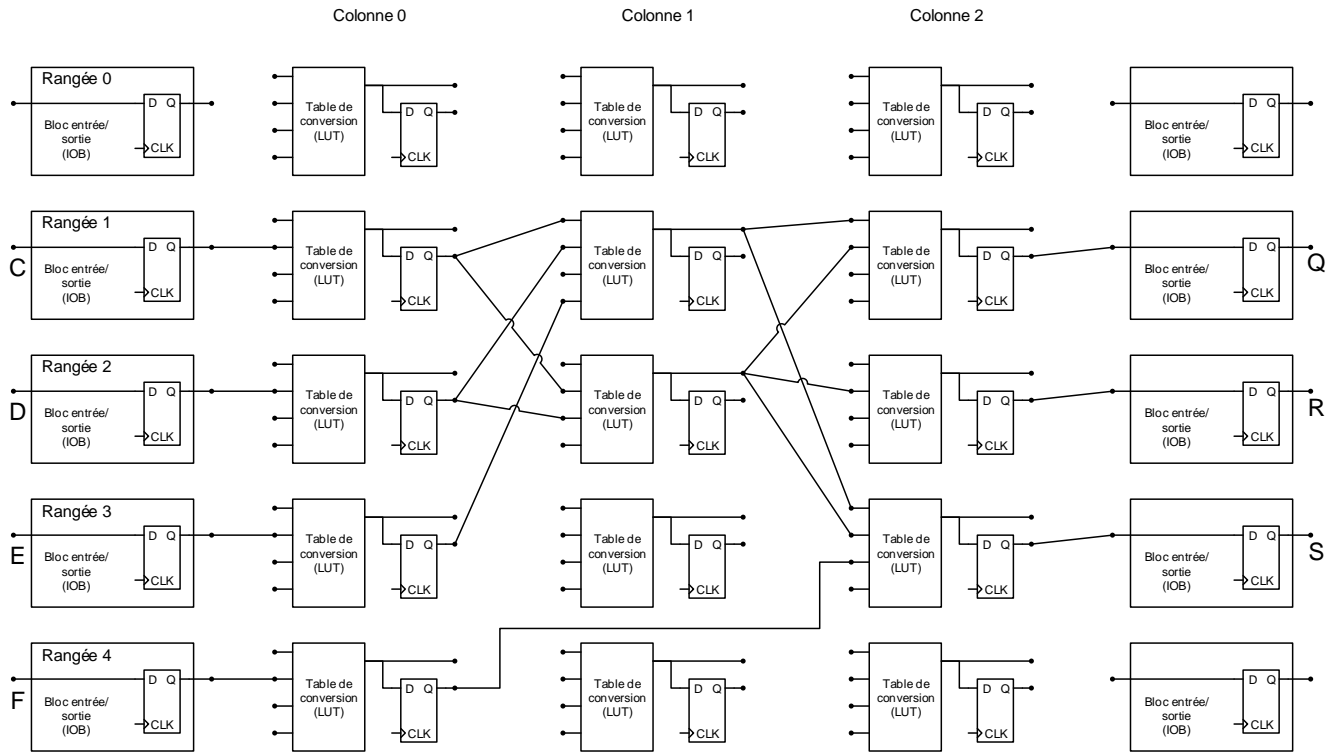
Le diagramme de la page suivante montre un circuit implémenté sur un FPGA simplifié. Les entrées du circuit sont C, D, E et F et les sorties sont Q, R et S. Le FPGA est composé de tranches ayant chacune une table de conversion (LUT) et une bascule pouvant être utilisée ou non, et de blocs d'entrée/sortie (IOB) dans lesquels les bascules sont toujours utilisées. Les LUTs ont un délai de 2.25 ns. Les bascules ont un délai de 0.75 ns, un temps de préparation t_{su} de 0.25 ns, et un temps de maintien t_h de 0.1 ns. Les interconnexions ajoutent un délai de 0.2 ns pour chaque rangée et chaque colonne de distance. Par exemple, le signal qui part de la tranche C0R4 (colonne 0, rangée 4) pour aller à la LUT de la tranche C2R3 a un délai de $(2 \text{ (colonnes)} + 1 \text{ (rangée)}) \times 0.2 \text{ ns} = 0.6 \text{ ns}$.

a. (1 point) Identifiez le chemin critique du circuit sur le diagramme de la page suivante et donnez la fréquence maximale d'horloge, en supposant aucun déphasage d'horloge.

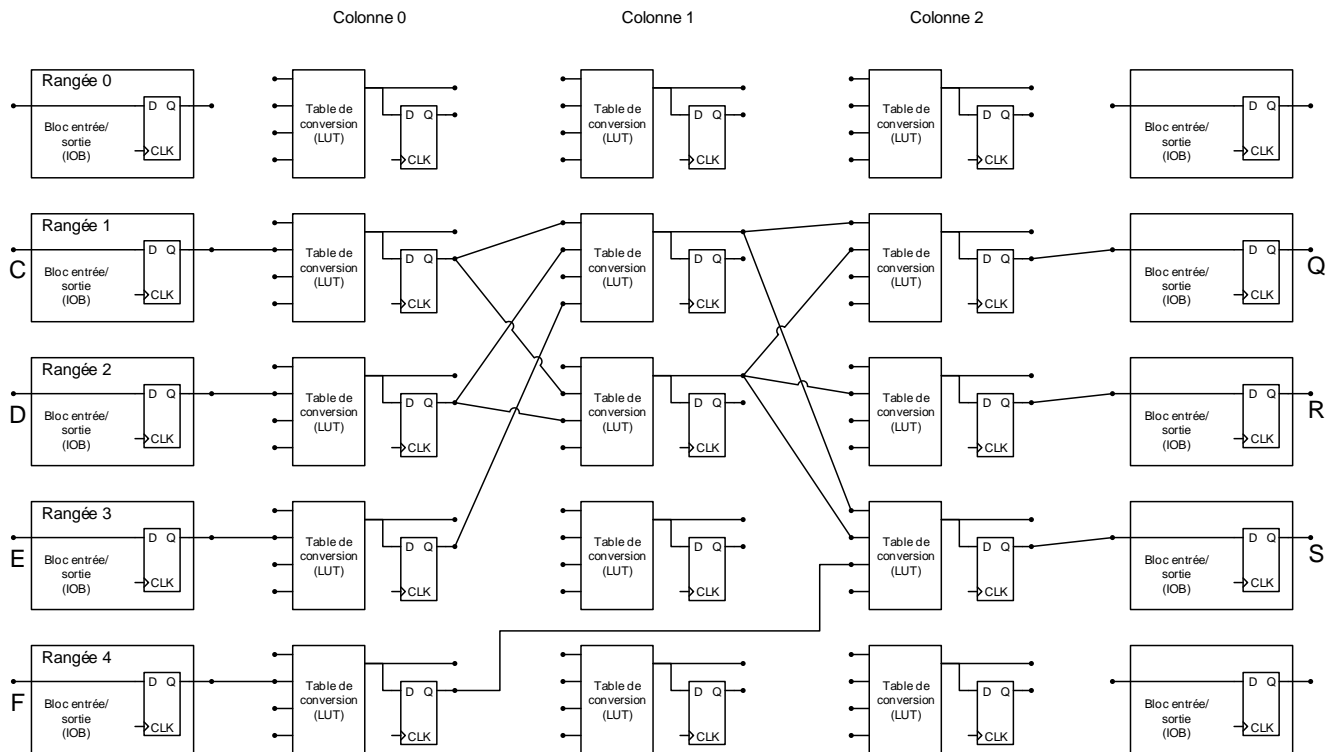
b. (1 point) Le FPGA souffre d'un sérieux problème de déphase d'horloge. Les bascules de chaque colonne reçoivent un signal d'horloge qui est en avance de 0.2 ns par rapport aux bascules de la colonne précédente. Par exemple, les bascules de la colonne 0 reçoivent des fronts d'horloge qui sont en retard de 0.4 ns par rapport à ceux reçus par les bascules de la colonne 2. Dans ces conditions, quelle est la fréquence maximale d'horloge du circuit implémenté?

c. (1 point) Une nouvelle version du FPGA a été produite sans problème de déphasage d'horloge. Le circuit est à nouveau implémenté. On veut le pipeliner pour atteindre un débit de 250×10^6 résultats par seconde, où un résultat est un triplet Q/R/S. Indiquez clairement sur le diagramme de la page suivante où et comment ajouter des registres de pipeline. Identifiez le nouveau chemin critique et donnez la nouvelle fréquence maximale d'horloge.

(suite de a., page précédente) Annotez le circuit pour indiquer le chemin critique.



(suite de c., page précédente) Annotez le circuit pour montrer comment le pipeliner.



Solutions

Q1.

a. La division et le modulo sont supportés quand le deuxième argument est une puissance de deux. Le résultat s'obtient alors par un décalage ou une sélection de bits, respectivement. La division générale et le modulo général ne sont pas présentement synthétisables parce qu'il n'y a pas de bloc dédié à cette opération dans la plupart des technologies, dont les FPGA. Ces opérations peuvent être réalisées de différentes façons, par exemple par la multiplication par la réciproque du diviseur et par des circuits itératifs. Dans les deux cas, il y a beaucoup de choix de design à faire, incluant la complexité matérielle et la latence du circuit résultant. Les concepteurs de synthétiseurs préfèrent laisser ces choix à celles et ceux qui écrivent du code VHDL.

b. Le produit de la synthèse est une liste de composantes de base et des interconnexions entre elles qui correspond à l'interprétation matérielle du code VHDL. Dans leur plus simple expression, les composantes peuvent être des portes logiques. Les composantes peuvent correspondre à des blocs plus complexes disponibles sur la technologie visée. Par exemple, pour un FPGA, une composante peut être un multiplieur ou un bloc de mémoire RAM.

c. Pour être synthétisable, une boucle logicielle doit pouvoir être déroulée complètement, et à chaque itération correspond un bloc matériel distinct. Cela correspond à échanger du temps pour de l'espace. Il faut donc que les bornes de la boucle soient connues de façon statique au moment de la synthèse, par exemple en étant des constantes ou des valeurs spécifiées par des énoncés `generic`.

d. Longueur totale des interconnexions, chemin le plus long, congestion des interconnexions.

Q2.

Opération ou groupe d'opérations simultanées	Possible ?	chargeBR	choixCharge	choixA	choixB	valeur	ChoixB_UAL	Op_UAL	Charge_MD	choixDonnee_BR
$R4 := M[R0 + R2];$	oui	1	4	0	2	-	0	2	0	1
$R7 := R1 + R2;$ $M[R1 + R2] := R1;$	oui	1	7	2	1	-	0	2	1	0
$R0 := 534;$ $R4 := M[R0 + 534];$	non	L'architecture ne permet pas de charger deux registres simultanément. L'UAL n'a qu'une sortie et ne peut donc pas faire l'addition et le routage de 534 en même temps.								
$R3 := R4 + R5;$ $R4 := M[R4 + R5];$	non	L'architecture ne permet pas de charger deux registres simultanément.								
$R2 := R1 \text{ ET } 85;$ $M[R1 + 85] := R3;$	non	L'UAL n'a qu'une sortie et ne peut donc pas faire l'addition et l'opération logique ET en même temps.								

Pour les opérations #3, il faudrait un bloc de registres à deux entrées, deux chemins de rétroaction vers l'entrée du bloc de registres, et deux signaux distincts choixCharge1 et choixCharge2. Il faudrait de plus pouvoir aiguiller la valeur provenant de l'unité de contrôle (ici 534) vers le bloc des registres.

Pour les opérations #4, il faudrait un bloc de registres à deux entrées, deux chemins de rétroaction vers l'entrée du bloc de registres (un de la mémoire et un de la sortie de l'UAL), et deux signaux distincts choixCharge1 et choixCharge2.

Pour les opérations #5, il faudrait avoir deux sorties à l'UAL, par exemple une pour les fonctions logiques et une pour les fonctions arithmétiques. Les additions devraient pouvoir être envoyées à l'adresse de la mémoire. Toutes les opérations devraient pouvoir être retournées vers le bloc des registres en rétroaction. [En pratique, on utilise un 2^e additionneur pour calculer les adresses de la mémoire.]

Q3.

Il faut $4 \times 16 = 64$ bascules.

Les deux multiplexeurs de sortie ont chacun 6 entrées : un bit par registre et deux bits pour le choix de la sortie. Donc il faut 1 LUT par bit pour chacun des multiplexeurs, donc 16 LUT chacun, donc 32 LUT.

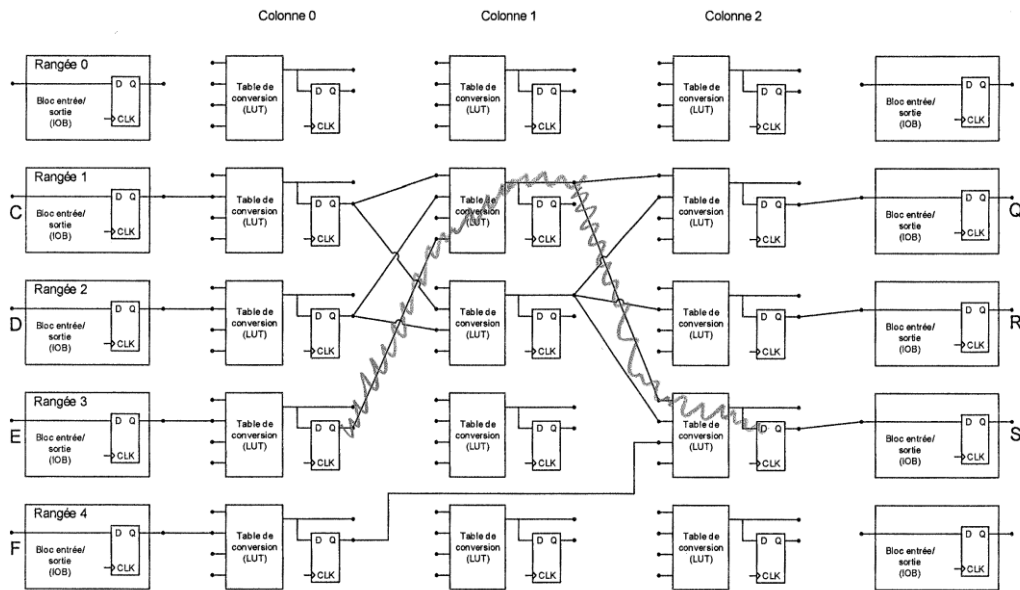
Il faut 4 LUT pour les 4 portes ET.

Le décodeur a deux entrées et 4 sorties, il faut 4 LUT.

Total BR : 64 bascules, 40 LUT environ.

Q4.

a. Le chemin critique a un délai de $0.75 + 0.6 + 2.25 + 0.6 + 2.25 + 0.25 = 6.7$ ns, pour une fréquence maximale d'horloge de 149 MHz.

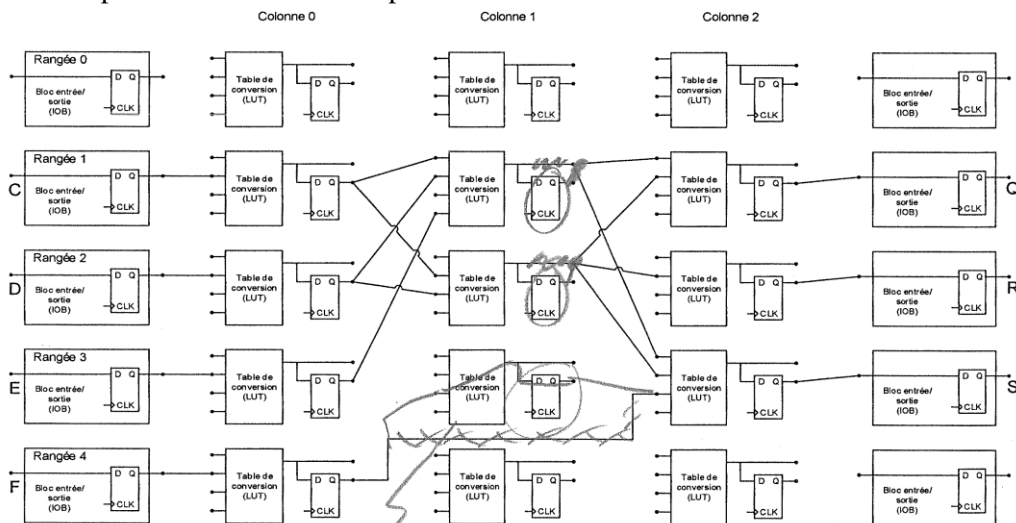


b. Sur le chemin critique, on doit ajouter 0.4 ns à la période minimale d'horloge, donc $T_{min} = 7.1$ ns, $f_{max} = 141$ MHz.

Sur les chemins courts, p.ex. de IOB C à C0R1, on a un délai de $0.75 + 0.2 + 2.25 + 0.25 = 3.2$ ns $> t_h$ ok.

Donc $f_{max} = 141$ MHz.

c. On insère des registres de pipeline dans la colonne 1. Attention, il faut utiliser une tranche supplémentaire pour le chemin de C0R4 à C2R3. Le chemin critique a maintenant un délai de $0.75 + 0.6 + 2.25 + 0.25 = 3.85$ ns, donc $f_{max} = 259$ MHz ok pour 250×10^6 résultats par seconde.



Cette LUT effectue l'opération double.