

## INF3500 : Conception et réalisation de systèmes numériques

Examen intra #1 – 30 septembre 2021

Durée: 1 heure.

Documentation: Une feuille recto verso 8.5"×11" ou A4 permise.

Pondération: 10%.

Calculatrice: Programmable permise.

Directives particulières:

- Ordinateurs interdits. Appareils mobiles interdits.
- Répondre à toutes les questions, la valeur de chaque question est indiquée.
- Répondre sur le questionnaire et le remettre.
- Ne posez pas de questions. En cas de doute sur le sens d'une question, énoncez clairement vos suppositions.

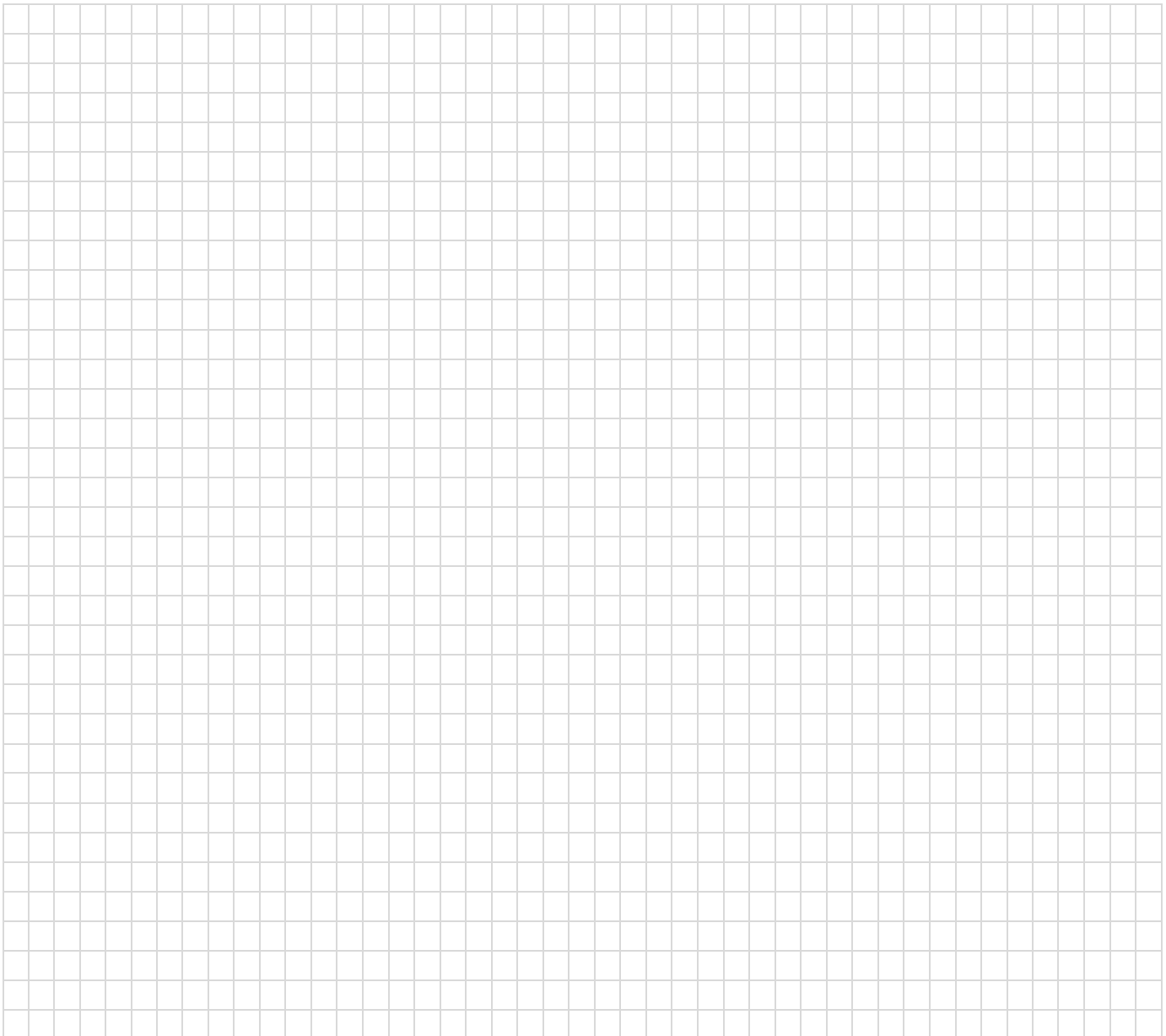
Q1	
Q2	
Q3	
Q4	
Total	

**Question 1. (2 points) (12 minutes)**

Donnez le diagramme d'un circuit CMOS qui réalise les deux fonctions suivantes. Les entrées A, B, C, D ne sont disponibles qu'en valeur naturelle non complémentée. Utilisez le moins de transistors possible.

$$F = A'B' + C' + D'$$

$$W = A' + B + C$$



**Question 2. (2 points) (12 minutes)**

Considérez le code VHDL suivant et le diagramme annoté d'un FPGA dans lequel ce code a été implémenté. Donnez le contenu des tables de vérité du FPGA.

```

library ieee;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all;

entity combinatoire6 is
  port (
    A, B, C, D, E, J : in std_logic;
    P, Q, R : out std_logic
  );
end combinatoire6;

architecture arch of combinatoire6 is
begin
  P <= D and ((A and not(B) and C)
    or (not(A) and B and not(C)));

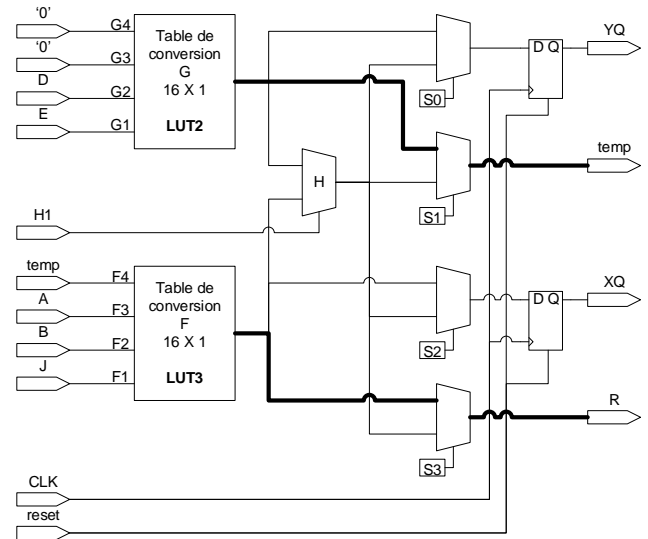
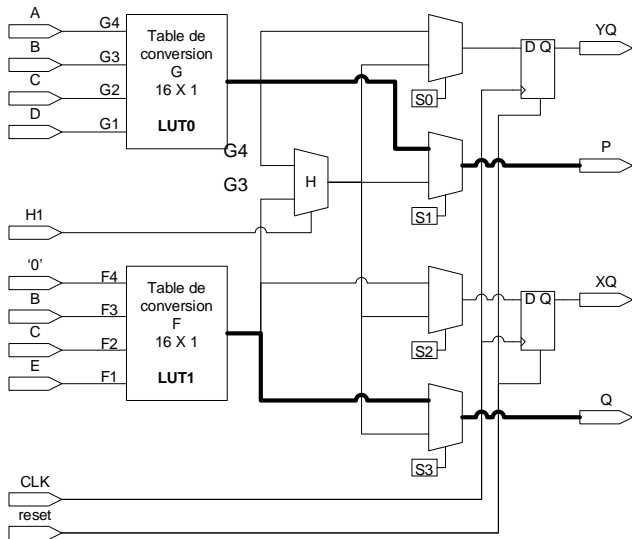
```

```

with (B, C, E) select
Q <=
'0' when "000",
'0' when "001",
'0' when "010",
'0' when "100",
'1' when others;

process(all)
begin
  if (D xor E) = '1' then
    R <= (A and B) or J;
  else
    R <= (not(A) and B) or not(J);
  end if;
end process;
end arch;

```



G4/F4	G3/F3	G2/F2	G1/F1	LUT3	LUT2	LUT1	LUT0
0	0	0	0				
0	0	0	1				
0	0	1	0				
0	0	1	1				
0	1	0	0				
0	1	0	1				
0	1	1	0				
0	1	1	1				
1	0	0	0				
1	0	0	1				
1	0	1	0				
1	0	1	1				
1	1	0	0				
1	1	0	1				
1	1	1	0				
1	1	1	1				

**Question 3. (3 points) (18 minutes)**

C'est le mois de juillet 2022 et vous travaillez chez FPGA3500 Solutions Consultants Inc. Tous les employés, sauf vous et la présidente, sont partis en vacances. La présidente vient de recevoir un appel de la Société de transport de Montréal (STM) qui veut implémenter un système de vision artificielle. Un premier prototype est fonctionnel, et la STM veut le déployer dans 150 autobus pour faire un test opérationnel complet. Si le test s'avérait concluant, le potentiel est une installation dans ses 1807 autobus.

Le système doit traiter des données provenant de plusieurs caméras, pour un débit total de  $750 \times 10^6$  résultats par seconde. On peut l'implémenter avec un processeur unique qui produit un résultat par cycle d'horloge. Ce processeur occupe l'équivalent de 3500 blocs logiques, et sa fréquence maximale dépend de la technologie utilisée. Il est possible d'instancier plusieurs processeurs en parallèle pour multiplier le débit. Cependant, il est essentiel que tout le système puisse être implémenté sur une seule puce.

La présidente vous demande de l'aider à choisir parmi trois technologies dont les données de comparaison sont présentées au tableau suivant. Laquelle des trois technologies privilégiez-vous? Énoncez clairement toutes les suppositions raisonnables que vous faites et montrez tous vos calculs.

Technologie	Frais fixes de développement	Coût par puce	Fréquence d'horloge maximale	Ressources de calcul (blocs logiques)
A. Logique fixe	875 k\$	24 \$	2 GHz	25 000
B. FPGA moyenne gamme	12 k\$	1 350 \$	500 MHz	7 500
C. FPGA bas de gamme	12 k\$	49 \$	250 MHz	1 750

(Utilisez le verso si nécessaire)

**Question 4. (3 points) (18 minutes)**

Le musée régional de St-Élie-d'Orford contient une rare collection de couvre-visages artisanaux. Les couvre-visages sont disposées dans trois salles A, B et C. Chaque salle contient deux détecteurs de mouvement, donc il y a six détecteurs en tout : A(1), A(0), B(1), B(0), C(1), C(0). On considère qu'il y a du mouvement dans une salle si au moins un des deux détecteurs d'une salle est actif (valeur '1'). Une alarme de niveau 1 doit être déclenchée (valeur '1') dès qu'un mouvement est détecté dans au moins une salle. Une alarme de niveau 2 doit être déclenchée (valeur '1') si du mouvement est détecté dans au moins deux salles au même moment. Une alarme de niveau 3 doit être déclenchée (valeur '1') si du mouvement est détecté dans les trois salles au même moment. Donnez une architecture en VHDL synthétisable correspondant à la déclaration d'entité suivante et à ces spécifications.

```
library IEEE;
use IEEE.std_logic_1164.all;
entity museeSecurite5 is
  port (
    A, B, C : in std_logic_vector(1 downto 0); -- trois salles, deux détecteurs par salle
    alarme : out std_logic_vector(3 downto 1) -- alarmes de niveaux 3, 2 et 1
  );
end museeSecurite5;
```

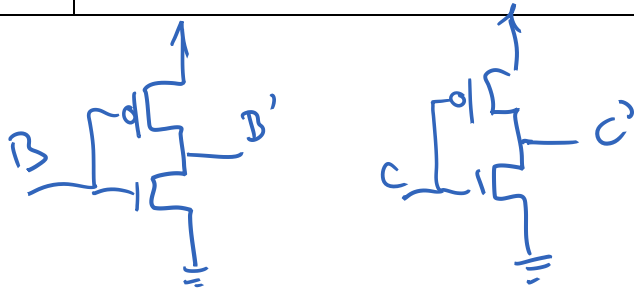
*Utilisez le verso si nécessaire)*

Solutions

#1 PROM

$F = A'B' + C'D' = \overline{(A+B)CD}$

$W = (ABC')' = A' + B + C$



## #2 Solution

G4/F4	G3/F3	G2/F2	G1/F1	LUT3	LUT2	LUT1	LUT0
0	0	0	0	1	0	0	0
0	0	0	1	0	1	0	0
0	0	1	0	1	1	0	0
0	0	1	1	1	0	1	0
0	1	0	0	1	-	0	0
0	1	0	1	0	-	1	1
0	1	1	0	1	-	1	0
0	1	1	1	0	-	1	0
1	0	0	0	0	-	-	0
1	0	0	1	1	-	-	0
1	0	1	0	0	-	-	0
1	0	1	1	1	-	-	1
1	1	0	0	0	-	-	0
1	1	0	1	1	-	-	0
1	1	1	0	1	-	-	0
1	1	1	1	1	-	-	0

---

### #3 Analyse des coûts

#### A. Logique Fixe :

Débit : un seul processeur 750 MHz < 2 GHz ok

Espace : 3500 blocs < 25000 ok

Coûts :  $875 \text{ k\$} + 150 \text{ unités} \times 24 \text{ \$} = 879 \text{ k\$}$ , ou bien  $875 \text{ k\$} + 1807 * 24 \text{ \$} = 918 \text{ k\$}$

#### B. FPGA moyenne gamme :

Débit : deux processeurs nécessaires @ 500 MHz chacun, total 1000 MHz > 750 MHz requis ok

Espace : deux processeurs, total 7000 blocs logiques, donc une seule puce de 7500 blocs logiques ok

Coûts :  $12 \text{ k\$} + 150 \text{ unités} \times 1350 \text{ \$} = 215 \text{ k\$}$ , ou bien  $12 \text{ k\$} + 1807 \text{ unités} \times 1350 \text{ \$} = 2\,451 \text{ k\$}$

#### C. FPGA bas de gamme :

Débit : trois processeurs nécessaires @ 250 MHz chacun, total 750 MHz = 750 MHz requis ok

Espace : trois processeurs, total 10.5 kblocs logiques, donc 6 puces. Cette solution n'est pas acceptable.

Pour le déploiement sur 150 autobus, la solution à FPGA moyenne gamme est bien meilleure, par un facteur de 4×. Si on veut équiper 1807 autobus (1657 autobus supplémentaires, ou bien 1807, selon l'interprétation de la question), alors la logique fixe coûterait 915 k\$ de plus environ. Il semble prudent d'y aller d'abord avec le FPGA de moyenne gamme pour la première commande de 150 unités, mais il manque d'informations sur les revenus et les profits tirés des deux commandes, des délais, et du risque que la compagnie est prête à assumer.

---

**#4. Code VHDL, il y a plusieurs réponses possibles.**

```
library IEEE;
use IEEE.std_logic_1164.all;

entity museeSecurite5 is
  port (
    A, B, C : in std_logic_vector(1 downto 0); -- trois salles, deux détecteurs par salle
    alarme : out std_logic_vector(3 downto 1) -- alarmes de niveaux 3, 2 et 1
  );
end museeSecurite5;

architecture arch of museeSecurite5 is

  signal alarme_A, alarme_B, alarme_C : std_logic;

begin

  alarme_A <= or(A);
  alarme_B <= or(B);
  alarme_C <= or(C);

  alarme(1) <= alarme_A or alarme_B or alarme_C;

  alarme(2) <= (alarme_A and alarme_B)
    or (alarme_B and alarme_C)
    or (alarme_A and alarme_C);

  alarme(3) <= alarme_A and alarme_B and alarme_C;

end arch;
```