

[Tableau de bord](#) / [Mes cours](#) / [INF3500 - Conception et réalisation de systèmes numériques](#) / [Archive - devoirs et examens - 202003](#)

/ [Contrôle périodique #1](#) / [Prévisualisation](#)

Commencé le mercredi 6 janvier 2021, 14:28

État Terminé

Terminé le mercredi 6 janvier 2021, 14:31

Temps mis 3 min 22 s

Note 0,00 sur 10,00 (0%)

Feedback Une note partielle sera affichée à la fermeture du test, suite à une correction automatique. Certaines questions devront être corrigées manuellement, donc votre note pourrait changer. Une annonce à cet effet sera faite par le professeur.

Question 1

Non répondue

Non noté

1. Conditions du contrôle

- Ce contrôle est calibré pour une durée de 45 minutes. Une période additionnelle de 30 minutes est ajoutée pour les étudiants qui souhaitent s'en prévaloir et comme tampon s'il devait y avoir des problèmes techniques.
- Le contrôle est à livres ouverts, toutes les sources sont permises. Si vous utilisez du matériel trouvé en ligne ou ailleurs, citez bien vos sources dans votre réponse.
- Le contrôle doit être fait individuellement. Toute forme de communication avec d'autres personnes que le surveillant est interdite pendant l'examen. **Une attestation à cet effet vous sera demandée dans la dernière question.**

2. Communication avec le surveillant pendant l'examen

- Le surveillant est disponible via le serveur Discord du cours pour aider à résoudre les problèmes techniques. Si le serveur Discord du cours ne fonctionne pas, envoyez un courriel à pierre.langlois@polymtl.ca.
- Ne posez pas de questions au surveillant concernant les questions de l'examen, aucune réponse ne sera donnée. En cas de doute sur le sens d'une question, faites une supposition raisonnable, énoncez-la clairement dans votre réponse et poursuivez.

3. À propos de la remise

- Vous pouvez modifier vos réponses jusqu'à la fin du test. Cependant, une fois le test soumis, il ne sera plus possible de les changer.
- La soumission sera automatique à la fin de la période.
- Si vous fournissez des images en guise de réponses, assurez-vous :
 - qu'elles soient bien orientées, bien cadrées, bien rognées et bien alignées;
 - que l'éclairage soit uniforme et que le contraste soit suffisamment élevé;
 - qu'elles soient nettes partout;
 - de bien joindre une image et non un lien externe - seules les pièces jointes seront acceptées.

Pour signifier votre accord avec ces instructions, écrivez "J'ai compris et j'accepte les conditions du contrôle" dans la zone de réponse.

Question 2

Non répondue

Noté sur 4,00

Mise en contexte et données du problème

Vous avez été engagé/e comme stagiaire dans une entreprise qui fait de la consultation, de la conception et de la formation en systèmes embarqués. L'entreprise a décroché un contrat d'un manufacturier québécois de casques de vélo. On veut intégrer au casque un détecteur de commotions cérébrales. Le détecteur sera assez simple, il doit inclure un accéléromètre, un processeur, et un système de communications par Bluetooth. Vous faites partie de l'équipe qui travaille sur le processeur, et on sollicite votre avis pour déterminer si une solution en logique fixe ou en logique programmable avec FPGA est préférable.

Pour la solution FPGA, vous estimez le temps de conception à 9 mois pour 5 ingénieurs. Pour la logique fixe, il faudrait 12 mois de travail à 7 ingénieurs. Le salaire et les frais d'emploi d'un ingénieur s'élèvent à 105000 \$/an. Les licences d'outils de conception coûtent 3500 \$/an par poste de travail pour le FPGA et 6000 \$/an par poste de travail pour la logique fixe, mais sont facturés au mois d'utilisation. Le FPGA qui accommoderait votre design coûte 10 \$ l'unité et peut être livré dans 4 semaines. Pour la logique fixe, la fonderie demande 650000 \$ pour lancer la production, puis les puces coûtent 1.5 \$ l'unité. Les premières puces seraient livrées 8 mois après la commande. Les frais de production et de distribution sont de 60 \$ par système pour le FPGA et de 36 \$ par système pour la logique fixe.

Résultats intermédiaires

Critère	Solution FPGA	Solution Logique fixe
À combien s'élèvent les frais fixes, arrondis au \$ près ?	<input type="text"/> × \$	<input type="text"/> × \$
À combien s'élèvent les frais variables (par système), arrondis au \$ près ?	<input type="text"/> × \$	<input type="text"/> × \$

Réponse globale

À partir de combien de systèmes la logique fixe devient-elle plus avantageuse ? × .

Quelle solution recommandez-vous ? ×

Pourquoi faites-vous cette recommandation ? ×

Question 3

Non répondue

Non noté

Expliquez ici votre réponse à la question précédente.

Selon le cas : énoncez vos suppositions, expliquez votre raisonnement, montrez vos calculs intermédiaires et/ou expliquez vos conclusions.

Vous pouvez soumettre une image.

Question 4

Non répondue

Noté sur 4,00

Considérez le module VHDL suivant.

```

library ieee;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all;

entity module18 is
  port (
    A : in unsigned(3 downto 0);
    n_zeros : out unsigned(2 downto 0);
    divpar3 : out std_logic;
    oux : out std_logic
  );
end module18;

architecture arch of module18 is
begin

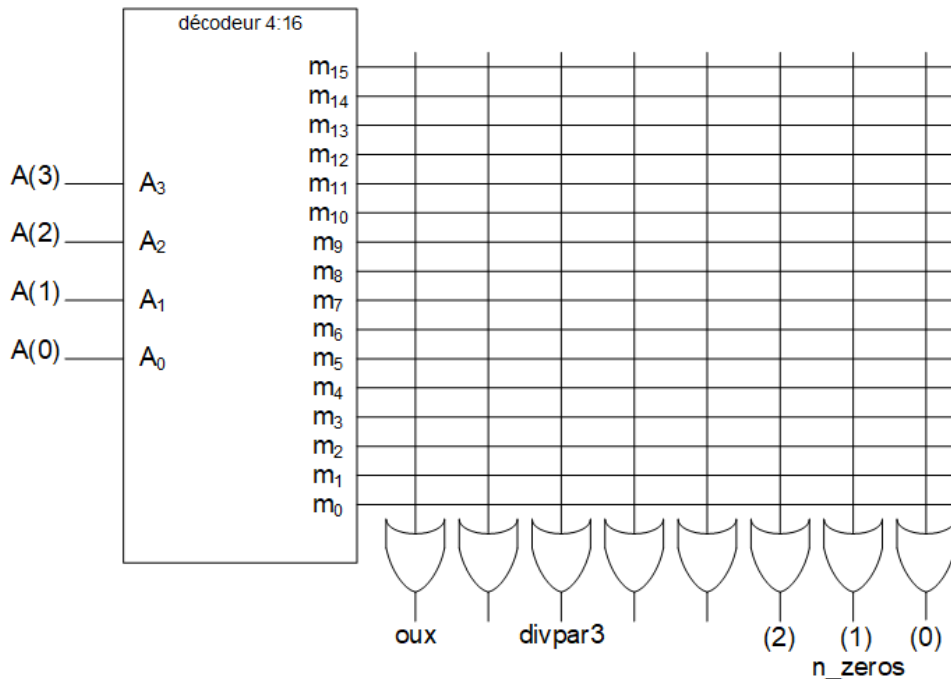
  oux <= xor(A); -- valide en VHDL-2008, ou-exclusif de tous les bits du vecteur

  with to_integer(A) select
    divpar3 <=
      '1' when 0 | 3 | 6 | 9 | 12 | 15,
      '0' when others;

  process(all)
    variable compte : natural range 0 to A'length;
  begin
    compte := 0;
    for k in A'range loop
      if A(k) = '0' then
        compte := compte + 1;
      end if;
    end loop;
    n_zeros <= to_unsigned(compte, n_zeros'length);
  end process;
end arch;

```

Considérez le diagramme suivant d'une ROM à 4 entrées et 8 sorties. Le pairage des ports entre le module VHDL et la ROM est indiqué. Indiquez dans le tableau suivant comment programmer la PROM pour qu'elle implémente le code VHDL donné. Dans chaque cellule du tableau, indiquez par un 1 où une connexion de programmation doit être faite, et par un 0 où il ne doit pas y avoir de connexion.



minterme	oux	divpar3	n_zeros(2)	n_zeros(1)	n_zeros(0)
15	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
14	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
13	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
12	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
11	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
10	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
9	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
8	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
7	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
6	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
5	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
4	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
3	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
2	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
1	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
0	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>

Question 5

Non répondue

Non noté

Expliquez ici votre réponse à la question précédente.

Selon le cas : énoncez vos suppositions, expliquez votre raisonnement, montrez vos calculs intermédiaires et/ou expliquez vos conclusions.

Vous pouvez soumettre une image.

Question 6

Non répondue

Noté sur 1,00

D'accord ou pas d'accord ?

"Un FPGA est essentiellement un regroupement d'une grande quantité de mémoires ROM reliées entre elles par des connexions programmables."

Donnez votre opinion et justifiez-la complètement. Il n'y a pas de bonne ni de mauvaise opinion. Votre réponse sera évaluée selon la justesse, la pertinence et la qualité de vos arguments.

On peut comparer les LUT à des mémoires ROM de 64 X 1 bit (pour le cas des LUT à 6 entrées).

Les LUT sont programmables - ce sont plutôt des SRAM que des ROM.

Il y a beaucoup de LUT. Les LUT sont situées dans des tranches, qui sont dans des CLB, qui sont reliés par des connexions programmables.

Les FPGA contiennent beaucoup de ressources autres que les LUT : éléments à mémoire, circuits arithmétiques, génération et distribution d'horloge, entrées et sorties, parfois des microprocesseurs, etc.

Question 7

Non répondue

Noté sur 1,00

D'accord ou pas d'accord ?

"C'est une bonne idée de réduire les équations booléennes avant de les écrire dans un modèle VHDL qui doit être synthétisé pour implémentation dans un FPGA."

Donnez votre opinion et justifiez-la complètement. Il n'y a pas de bonne ni de mauvaise opinion. Votre réponse sera évaluée selon la justesse, la pertinence et la qualité de vos arguments.

Réduire les équations peut parfois rendre le code plus lisible, peut-être plus facile à comprendre et à maintenir.

Réduire les équations avant de les coder n'a pas d'effet sur le circuit implémenté. Le synthétiseur réduit les équations.

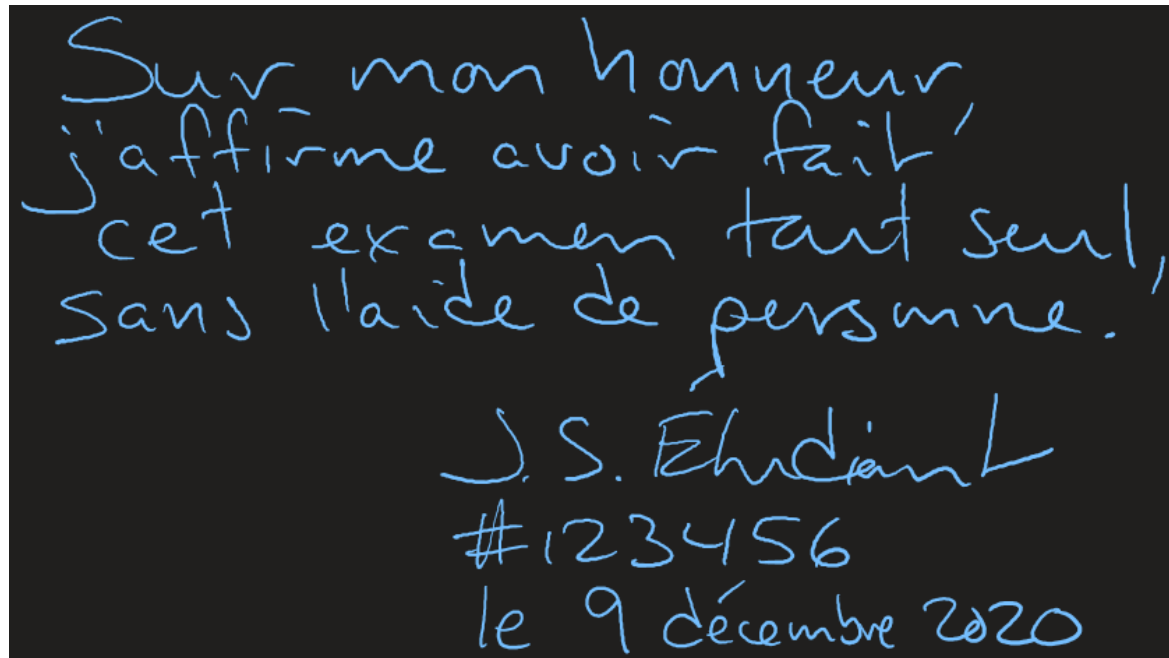
Question 8

Non répondue

Non noté

Produisez une affirmation solennelle sur votre honneur, écrite à la main, signée et datée, à l'effet que vous avez complété cet examen seul/e et sans l'aide de personne.

Joignez une image de votre affirmation en guise de réponse. Voir l'exemple ci-dessous.

[◀ Devoir #11 \(caché\)](#)[Contrôle périodique #2 \(caché\) ▶](#)