

Question 1.

Considérez le code VHDL suivant:

```

entity my_fsm4_oh is
    port ( X,CLK,RESET : in  std_logic;
          Y : out std_logic_vector(3 downto 0);
          Z1,Z2 : out std_logic);
end my_fsm4_oh;

architecture fsm4_oh of my_fsm4_oh is
    type state_type is (ST0,ST1,ST2,ST3);
    attribute ENUM_ENCODING: STRING;
    attribute ENUM_ENCODING of state_type: type is "1000 0100 0010 0001";
    signal PS,NS : state_type;
begin
    sync_proc: process (CLK,NS,RESET)
    begin
        if (RESET = '1') then PS <= ST0;
        elsif (rising_edge(CLK)) then PS <= NS;
        end if;
    end process sync_proc;

    comb_proc: process (PS,X)
    begin
        Z1 <= '0';   Z2 <= '0';
        case PS is
            when ST0 =>
                Z1 <= '1';
                if (X = '0') then NS <= ST1; Z2 <= '0';
                else NS <= ST0; Z2 <= '1';
                end if;
            when ST1 =>
                Z1 <= '1';
                if (X = '0') then NS <= ST2; Z2 <= '0';
                else NS <= ST1; Z2 <= '1';
                end if;
            when ST2 =>
                Z1 <= '0';
                if (X = '0') then NS <= ST3; Z2 <= '0';
                else NS <= ST2; Z2 <= '1';
                end if;
            when ST3 =>
                Z1 <= '1';
                if (X = '0') then NS <= ST0; Z2 <= '0';
                else NS <= ST3; Z2 <= '1';
                end if;
            when others => Z1<='1'; Z2<='0'; NS<=ST0;

        end case;
    end process comb_proc;

    with PS select
        Y <= "1000" when ST0,
            "0100" when ST1,
            "0010" when ST2,
            "0001" when ST3,
            "1000" when others;
end fsm4_oh;

```

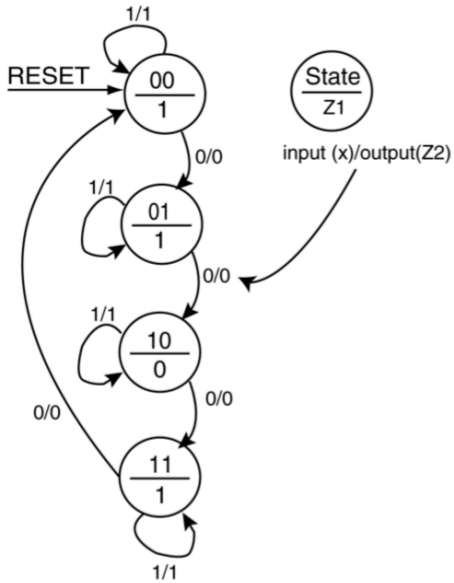
- a) Donnez le nombre de vecteurs de test nécessaires pour un test exhaustif
 b) Proposez un ensemble de vecteurs de test à appliquer au port x qui maximise le nombre d'énoncés couverts. L'ensemble devrait être le plus petit possible. Justifiez votre réponse.

a) 4 états $\times 2 = 8$

b) Temps: 0,1,2,3,4,5,6,7,8

Entrée X: 1,0, 1,0,1,0,1,0

État: S0, S1, S1, S2, S2, S3, S3, S0



Question 2.

Vous êtes en charge de tester un système de contrôle de trafic qui a été conçu pour détecter les autos, motos ou camions qui ne respectent pas un ensemble de règles sur un pont qui a été identifié comme une source des accidents. Le système a 5 entrées: (1) le type de véhicule détecté, (2) la vitesse du véhicule, (3) l'heure de la journée, (4) le jour (lundi, mardi ... dimanche) et (5) la saison. La sortie du système est l'état du véhicule : en conformité ou non aux règles établies.

Les règles sont les suivantes:

- La vitesse légale sur le pont est entre 40 km/h et 100 km/h
- Les camions ne sont pas autorisés pendant le weekend
- Pendant la semaine, les camions ne sont pas autorisés de 7h à 8h et de 16h à 18h
- Les motos ne sont pas autorisés pendant l'hiver.

- a) Proposez un partitionnement en classes pour chacune des 5 entrées. Minimisez le nombre de classes.
 b) Donnez un ensemble de vecteurs de tests pour un test faible selon votre partitionnement proposé.
 c) Combien de vecteurs de tests sont nécessaires pour effectuer un test fort ?

a) Type véhicue = {auto, camion, moto}

Saison = {hiver, autre}

Heure = {avant 7h, entre 7h et 8h, entre 8h et 16h, après 6h}

Jours = {weekend, lundi-vendredi}

Vitesse = {de 40 km/h à 60 km/h, autres}

b) (auto, hiver, avant 7h, weekend, de 40 km/h à 60 km/h)

(camion, hiver, entre 7h et 8h, weekend, autres)

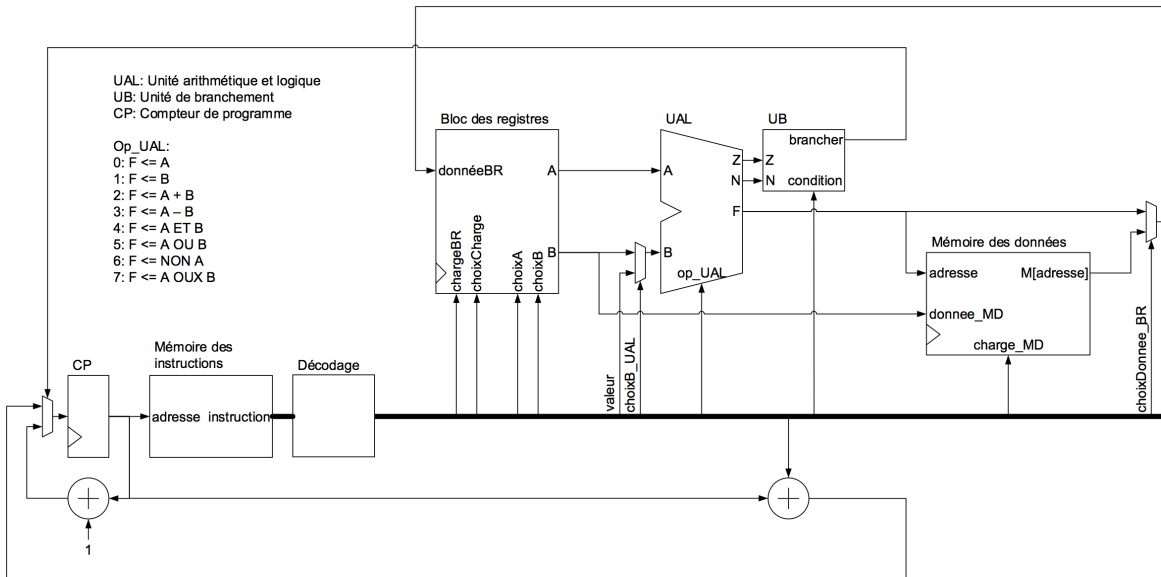
(moto, hiver, entre 8h et 16h, lundi-vendredi, de 40 km/h à 60 km/h)

(auto, hiver, après 16h, weekend, autre)

c) Le nombre minimal de vecteurs de test est égal au produit du nombre de classes pour chaque entrée.
 Dans le présent problème : $3 \times 2 \times 4 \times 2 \times 2$

Question 3

a) Considérez le diagramme suivant du processeur PolyRISC.



a) Complétez le tableau suivant.

Opération	charg eBR	choix Char ge	choix A	choix B	valeu r	choix B_UA L	op_U AL	charg e_MD	choix Donn ee_B R
R3 := R1 OUX R2	1	3	2	1	-	0	7	0	0
R12 := 16	1	12	-	-	16	1	1	0	0
M[100 + R5] := R1	0	-	5	1	100	1	2	1	-
R1 := M[20]	1	1	-	-	20	1	1	0	1

b) Complétez le tableau suivant pour l'encodage des instructions du processeur PolyRISC. :

Instruction	Cat.	détails			
	31:30	29:26	25:21	20:16	15:0
R8 := R4	0	0	8	4	-
Si R8 = R9, goto PC + 25	2	0	9	8	25
MD[R4 + 28] := R10	3	1	10	4	28
R14 := MD[R7 + 94]	3	0	14	7	94
R27 := R19 oux R15	0	7	27	19	15
R9 := R7 ou 0x000D	1	5	9	7	13
Si (R19 < R11) goto PC + 623	2	2	11	19	623
MD[R17 + 326] := R22	3	1	22	17	326

Question 4.

- a) Dans l'extrait de code VHDL suivant, manipulant les signaux a et b, quelle est la valeur de b à 10ns ? Justifiez votre réponse.

```
process begin
  a <= '0';
  wait for 10 ns;
  a <= '1';
  ...
end process;
```

La valeur de b sera '0'. B lit l'ancienne valeur de a.

```
process begin
  b <= '0';
  wait for 10 ns;
  b <= a;
  ...
end process;
```

- b) Considérez l'extrait de code VHDL suivant, où a, b, c, d et e sont des signaux :

```
proc1: process (a, b, c) begin
  d <= NOT c;
  c <= a AND b;
end process;
```

```
proc2: process (b, d) begin
  e <= b AND d;
end process;
```

```
proc3: process begin
  a <= '1';
  b <= '0';
  wait for 3 ns;
  b <= '1';
  wait for 99 ns;
end process;
```

Complétez la figure suivante:



Question 5

a. D, C0R0, C1R1

$$T = 6 \times 0.25 + 2 \times 0.3 + 0.2 + 0.4$$

b. Latence de deux cycles : $2 \times T$

c. La latence peut-être réduite en enlevant le pipeline. Ainsi on passe un une latence d'un cycle :

$$T = 10 \times 0.25 + 0.2 + 0.4 + 3 \times 0.3 \text{ ns} = 4 \text{ ns}$$

Question 6

a. Donnez le chemin critique du circuit en indiquant les bascules sources et la bascule de destination, ainsi que les composantes sur ce chemin.

Le chemin critique part de la bascule C et se termine sur la bascule B. Les portes traversées sont un NON-ET et un ET.

b. Donnez la fréquence maximale d'horloge correspondante.

La période minimal de ce chemin est $8 + 2 = 10 \text{ ns}$. La fréquence maximale serait alors de 100 MHz.

c. Donnez la marge libre de préparation pour les autres chemins.

A-B 1 ns, A-B 4 ns, A-C 7 ns, B-A 1ns, B-B 2 ns, B-C 4 ns, C-A 2 ns, C-C 2 ns.

Question 7

a) Niveau circuit, niveau porte logique, niveau système, niveau modules

b) Précision de calcul, puissance consommée, taille du système, la vitesse