

Nom : _____ Matricule : _____

INF3500 : Conception et réalisation de systèmes numériques

Examen intra #3 – jeudi 29 novembre décembre 2018

Durée: 1 heure.

Documentation: Une feuille recto verso 8.5”×11” ou A4 permise.

Pondération: 0% (formatif).

Calculatrice: Programmable permise.

Directives particulières:

- Ordinateurs interdits. Appareils mobiles interdits.
- Répondre à toutes les questions, la valeur de chaque question est indiquée.
- Répondre sur le questionnaire.
- Ne posez pas de questions. En cas de doute sur le sens d’une question, énoncez clairement toute supposition que vous faites.

Question 1. (1 point)

Réponses brèves.

a. Expliquez dans quels cas la division et le calcul du modulo sont supportés par les outils de synthèse présentement sur le marché, et pourquoi ces opérations ne le sont pas dans les autres cas.

b. Qu’est-ce qui est produit par un outil de synthèse à partir d’un code VHDL valide?

c. Dans quelles conditions une boucle en VHDL est-elle synthétisable ? Expliquez pourquoi.

d. Donnez deux métriques pour comparer différentes solutions de placement d’un circuit numérique sur un FPGA.

Solutions

Q1.

a. Réponse. La division et le modulo sont supportés quand le deuxième argument est une puissance de deux. Le résultat s'obtient alors par un décalage ou une sélection de bits, respectivement. La division générale et le modulo général ne sont pas présentement synthétisables parce qu'il n'y a pas de bloc dédié à cette opération dans la plupart des technologies, dont les FPGA. Ces opérations peuvent être réalisées de différentes façons, par exemple par la multiplication par la réciproque du diviseur et par des circuits itératifs. Dans les deux cas, il y a beaucoup de choix de design à faire, incluant la complexité matérielle et la latence du circuit résultant. Les concepteurs de synthétiseurs préfèrent laisser ces choix à celles et ceux qui écrivent du code VHDL.

b. Le produit de la synthèse est une liste de composantes de base et des interconnexions entre elles qui correspond à l'interprétation matérielle du code VHDL. Dans leur plus simple expression, les composantes peuvent être des portes logiques. Les composantes peuvent correspondre à des blocs plus complexes disponibles sur la technologie visée. Par exemple, pour un FPGA, une composante peut être un multiplieur ou un bloc de mémoire RAM.

c. Pour être synthétisable, une boucle logicielle doit pouvoir être déroulée complètement, et à chaque itération correspond un bloc matériel distinct. Cela correspond à échanger du temps pour de l'espace. Il faut donc que les bornes de la boucle soient connues de façon statique au moment de la synthèse, par exemple en étant des constantes ou des valeurs spécifiées par des énoncés `generic`.

d. Longueur totale des interconnexions, chemin le plus long, congestion des interconnexions.

Q2.

a.

| opération | chargeBR | choixCharge | choixA | choixB | valeur | ChoixB_UAL | Op_UAL | Charge_MD | choixDon- nee_BR |
|------------------|----------|-------------|--------|--------|--------|------------|--------|-----------|---------------------|
| R2 := R7 OUX R4 | 1 | 2 | 7 | 4 | - | 0 | 7 | 0 | 0 |
| R6 := NON(R6) | 1 | 6 | 6 | - | - | - | 6 | 0 | 0 |
| M[50 + R5] := R1 | 0 | - | 5 | 1 | 50 | 1 | 2 | 1 | - |
| R3 := M[100] | 1 | 3 | - | - | 100 | 1 | 1 | 0 | 1 |

b. Quelques chemins critiques possibles sont :

Instruction R2 := R7 oux R4 :

bloc des registres, mux, UAL, mux, bloc des registres :

$$6.5 + 2 + 10 + 2 + 1 + 4 \times 0.5 = 23.5 \text{ ns}$$

Instruction M[50 + R5] := R1 :

bloc des registres, UAL, mémoire des données (port 'adresse', mémoire en mode écriture) :

$$6.5 + 10 + 3 + 2 \times 0.5 = 20.5 \text{ ns}$$

Instruction R3 := M[R1 + R4] :

bloc des registres, mux, UAL, mémoire des données (port 'adresse', mémoire en mode lecture), mux, bloc des registres $6.5 + 2 + 10 + 7.5 + 2 + 1 + 5 \times 0.5 = 31.5 \text{ ns}$

Donc $f_{\max} = 1/31.5 \text{ ns} = 31.7 \text{ MHz}$

Q3

Il faut $4 \times 16 = 64$ bascules.

Les deux multiplexeurs de sortie ont chacun 6 entrées : un bit par registre et deux bits pour le choix de la sortie. Donc il faut 1 LUT par bit pour chacun des multiplexeurs, donc 16 LUT chacun, donc 32 LUT.

Il faut 4 LUT pour les 4 portes ET.

Le décodeur a deux entrées et 4 sorties, il faut 4 LUT.

Total BR : 64 bascules, 40 LUT environ.

Q4.

a. Le chemin critique va de l'entrée B, à la LUTR3C0, à la LUTR0C1, à la LUT R0C3, à la sortie S.

Le délai total est $t_d + 3 \times t_{LUT} + 10 \times t_{fils} = 0.4 + 3 \times 0.3 + 10 \times 0.25 = 3.8$ ns.

La fréquence maximale d'horloge est $1/(3.8 + t_{su}) = 1 / 4$ ns = 250 MHz.

b. Il faudrait tout d'abord insérer des registres de pipeline dans le chemin critique, bascules R3C0, R0C1 et R0C3. Ensuite il faudrait balancer les autres chemins. En y allant colonne par colonne, il faut utiliser toutes les bascules sur des chemins dans la colonne 0. Pour la colonne 1, on doit utiliser la bascule R4C1. Il faut aussi insérer une bascule dans le chemin du milieu, par exemple avec la LUT et la bascule R3C1. La LUT R3C1 ferait la fonction identité. On ajouterait aussi une LUT identité et une bascule à R4C3 sur le chemin du bas.

Le chemin critique serait alors de R3C1 à R0C3 : $t_d + 5 \times t_{fil} + t_{lut} + t_{su} = 0.4 + 5 \times 0.25 + 0.3 + 0.2 = 2.15$ ns, et la fréquence maximale d'horloge correspondante serait 465 MHz.

