

Nom : \_\_\_\_\_ Matricule : \_\_\_\_\_

INF3500 : Conception et réalisation de systèmes numériques

Examen intra #3 – lundi 4 décembre 2017

Durée: 1 heure.

Documentation: Une feuille recto verso 8.5"×11" ou A4 permise.

Pondération: 0% (formatif).

Calculatrice: Programmable permise.

Directives particulières:

- Ordinateurs interdits. Appareils mobiles interdits.
- Répondre à toutes les questions, la valeur de chaque question est indiquée.
- Répondre sur le questionnaire et le remettre.
- Ne posez pas de questions. En cas de doute sur le sens d'une question, énoncez clairement toute supposition que vous faites.

---

**Question 1. (2 points)**

Réponses brèves.

a. Expliquez dans quels cas la division et le calcul du modulo sont supportés par les outils de synthèse présentement sur le marché, et pourquoi ces opérations ne le sont pas dans les autres cas.

---

---

---

---

---

---

---

b. Qu'est-ce qui est produit par un outil de synthèse à partir d'un code VHDL valide?

---

---

---

---

---

---

---

c. Dans quelles conditions une boucle en VHDL est-elle synthétisable ? Expliquez pourquoi.

---

---

---

---

---

---

---

d. Donnez deux métriques pour comparer différentes solutions de placement d'un circuit numérique sur un FPGA.

---

---

---

---

---

---

---







Solutions

Q1.

a. Réponse. La division et le modulo sont supportés quand le deuxième argument est une puissance de deux. Le résultat s'obtient alors par un décalage ou une sélection de bits, respectivement. La division générale et le modulo général ne sont pas présentement synthétisable parce qu'il n'y a pas de bloc dédié à cette opération dans la plupart des technologies, dont les FPGA. Ces opérations peuvent être réalisées de différentes façons, par exemple par la multiplication par la réciproque du diviseur et par des circuits itératifs. Dans les deux cas, il y a beaucoup de choix de design à faire, incluant la complexité matérielle et la latence du circuit résultant. Les concepteurs de synthétiseurs préfèrent laisser ces choix à celles et ceux qui écrivent du code VHDL.

b. Le produit de la synthèse est une liste de composantes de base et des interconnexions entre elles qui correspond à l'interprétation matérielle du code VHDL. Dans leur plus simple expression, les composantes peuvent être des portes logiques. Les composantes peuvent correspondre à des blocs plus complexes disponibles sur la technologie visée. Par exemple, pour un FPGA, une composante peut être un multiplieur ou un bloc de mémoire RAM.

c. Pour être synthétisable, une boucle logicielle doit pouvoir être déroulée complètement, et à chaque itération correspond un bloc matériel distinct. Cela correspond à échanger du temps pour de l'espace. Il faut donc que les bornes de la boucle soient connues de façon statique au moment de la synthèse, par exemple en étant des constantes ou des valeurs spécifiées par des énoncés `generic`.

d. Longueur totale des interconnexions, chemin le plus long, congestion des interconnexions.

Q2.

a.

opération	chargeBR	choixCharge	choixA	choixB	valeur	ChoixB_UAL	Op_UAL	Charge_MD	choixDon- nee_BR
R2 := R7 OUX R4	1	2	7	4	-	0	7	0	0
R6 := NON(R6)	1	6	6	-	-	-	6	0	0
M[50 + R5] := R1	0	-	5	1	50	1	2	1	-
R3 := M[100]	1	3	-	-	100	1	1	0	1

b. Pour cette question, le fonctionnement de la mémoire des données n'est pas complètement spécifié.

Interprétation 1

Si on considère la mémoire comme un registre, et que les ports 'adresse' et 'donnee\_MD' sont comme les entrées de ce registre, alors il y a six chemins possibles :

bloc des registres, UAL, mux, bloc des registres

bloc des registres, mux, UAL, mux, bloc des registres

bloc des registres, mémoire des données

bloc des registres, UAL, mémoire des données

bloc des registres, mux, UAL, mémoire des données :  $6.5 + 2 + 10 + 3 + 3 \times 0.5 = 23$  ns

mémoire des données, mux, bloc des registres :  $7.5 + 2 + 1 + 2 \times 0.5 = 11$  ns

On trouve que le chemin le plus long est :

bloc des registres, mux, UAL, mux, bloc des registres

$6.5 + 2 + 10 + 2 + 1 + 4 \times 0.5 = 23.5$  ns,  $f_{max} = 42.5$  MHz

Interprétation 2

On peut aussi considérer la mémoire comme de la logique combinatoire quand elle est en mode lecture. En effet, dès qu'on lui applique une adresse, alors la donnée dans la cellule correspondante devient disponible à la sortie de la mémoire après un certain délai, indépendamment de l'horloge. On aurait besoin d'un délai spécifique pour ce cas, mais on peut considérer que c'est 7.5 ns, la quantité donnée dans la question.

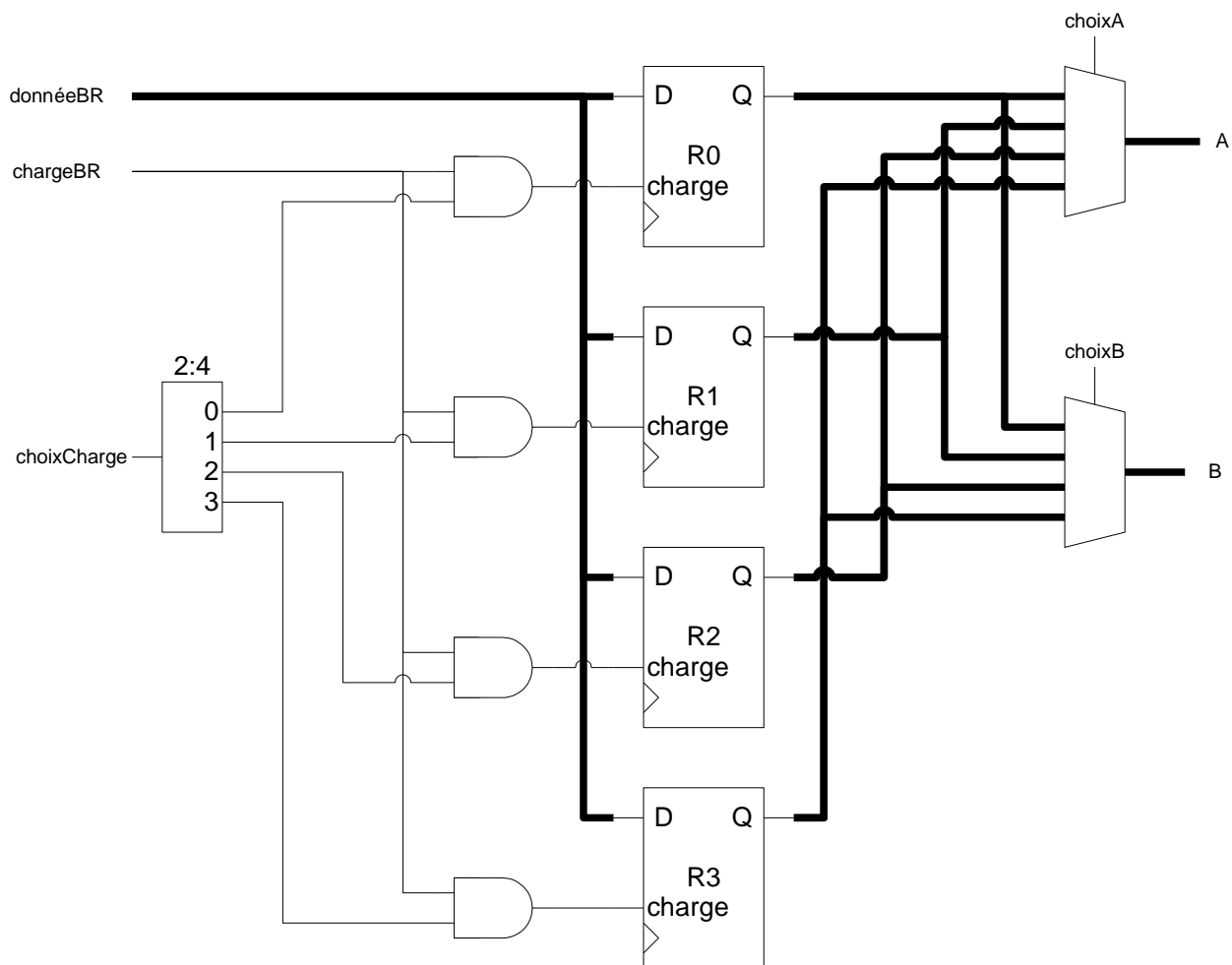
Le chemin critique serait alors :

bloc des registres, mux, UAL, mémoire des données, mux, bloc des registres (par exemple, pour l'instruction  $R3 := M[R1 + R4]$ )

$$6.5 + 2 + 10 + 7.5 + 2 + 1 + 5 \times 0.5 = 31.5 \text{ ns, } f_{\max} = 31.7 \text{ MHz}$$

Q3

a.



b.

1. Bloc des registres (il faut avoir le diagramme du bloc des registres ou en estimer le contenu).

Il faut  $4 \times 16 = 64$  bascules.

Les deux multiplexeurs de sortie ont chacun 6 entrées : un bit par registre et deux bits pour le choix de la sortie. Donc il faut 1 LUT par bit pour chacun des multiplexeurs, donc 16 LUT chacun, donc 32 LUT.

Il faut 4 LUT pour les 4 portes ET.

Le décodeur a deux entrées et 4 sorties, il faut 4 LUT.

Total BR : 64 bascules, 40 LUT environ.

## 2. UAL

Les fonctions + et – peuvent être combinées, il faut 1 LUT par bit ajouté/soustrait, donc 16 LUT.

Les 6 fonctions logiques A, B, ET, OU, NON et OUX ont 5 entrées : les bits  $A_i$  et  $B_i$ , et 3 bits pour choisir quelle opération est faite. Donc il faut 16 LUT pour ces fonctions.

Finalement il faut choisir entre une somme ou une fonction logique pour chaque bit, donc 16 autres LUT.

Total UAL : environ 48 LUT.

## 3. Mémoire des données

Il y a 256 mots de 16 bits, donc il faut 4096 bits de mémoire en Block RAM.

## 4. Deux multiplexeurs

Les deux multiplexeurs nécessitent chacun 1 LUT par bit, soit 2 fois 16 LUT donc 32 LUT.

5. Grand total : environ 64 bascules, 120 LUT et 4096 bits de Block RAM.

## Q4.

Le chemin critique est bascule A, ET, OU, NON-ET, OU, bascule F. Délai :  $t_{cs}(3 \text{ ns}) + 2 + 0.1 + 3 + 0.1 + 3 + 0.1 + 2 + 0.1 + 3 + 0.1 + t_{su}(1 \text{ ns}) = 17.5 \text{ ns}$ .  $f_{\max} = 57.1 \text{ MHz}$ .