Nom : _____ Matricule : _____

INF3500 : Conception et réalisation de systèmes numériques

Examen intra #3 – mardi 11 avril 2017

Durée: 1 heure. Documentation: Une feuille recto verso 8.5”×11” ou A4 permise.
Pondération: 0% (formatif). Calculatrice: Programmable permise.
Directives particulières:

- Ordinateurs interdits. Appareils mobiles interdits.
- Répondre à toutes les questions, la valeur de chaque question est indiquée.
- Répondre sur le questionnaire et le remettre.
- Ne posez pas de questions. En cas de doute sur le sens d’une question, énoncez clairement toute supposition que vous faites.

Question 1. (2 points)

Réponses brèves.

a. Expliquez dans quels cas la division et le calcul du modulo sont supportés par les outils de synthèse présentement sur le marché, et pourquoi ces opérations ne le sont pas dans les autre cas.

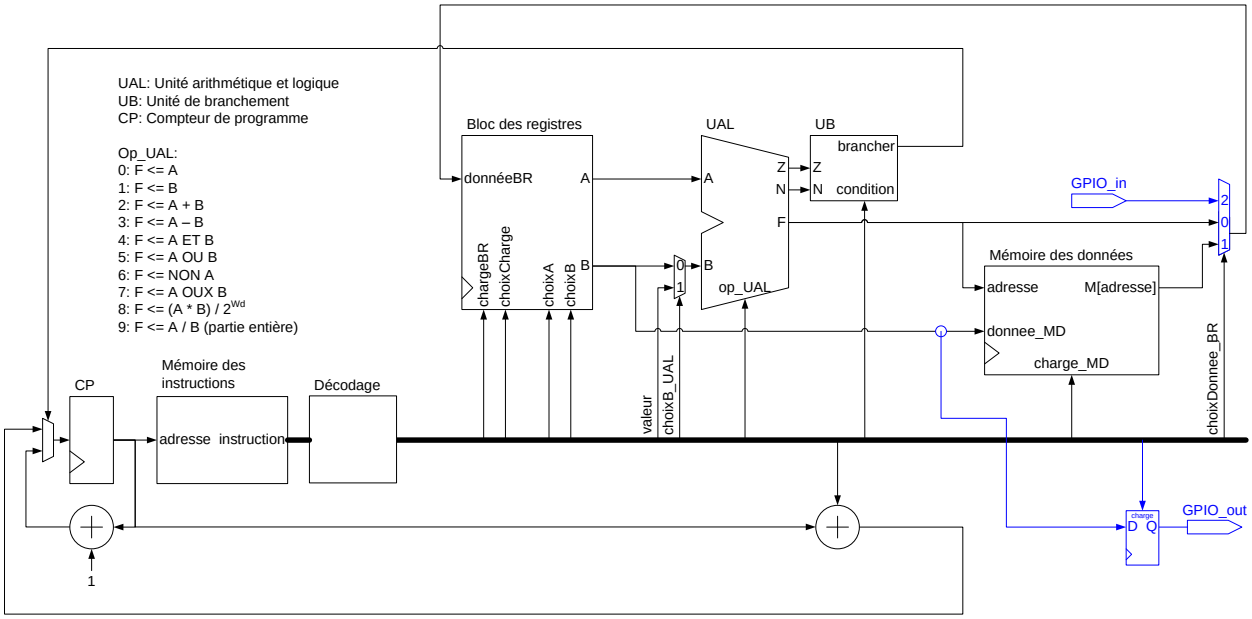
b. Qu’est-ce qui est produit par un outil de synthèse à partir d’un code VHDL valide?

c. Dans quelles conditions une boucle en VHDL n’est-elle pas synthétisable ? Expliquez pourquoi.

d. Donnez deux métriques pour comparer différentes solutions de placement d’un circuit numérique sur un FPGA.

Question 2. (2 points)

Considérez le diagramme suivant du processeur PolyRISC.



a. (4 points) Remplissez le tableau suivant des signaux de contrôle du chemin des données.

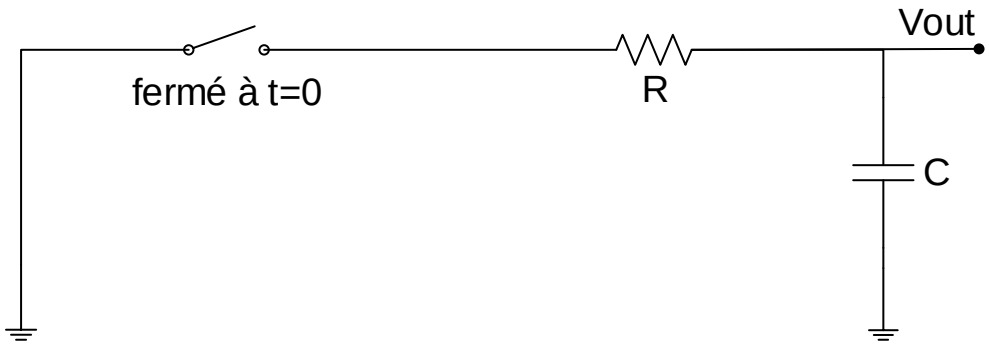
opération	chargeBR	choixCharge	choixA	choixB	valeur	ChoixB_UAL	Op_UAL	Charge_MD	choixDon-nee_BR	charge (GPIO_out)
R15 := GPIO_in;										
R9 := R5 OUX R0;										
M[22 + R4] := R13;										
R5 := M[R5 + R5];										

b. (4 points) Une exception doit être lancée dans le cas d'une division par 0. Lors de cette exception, le processeur doit brancher à l'adresse 1000h, où du code de traitement de l'exception serait placé. Énumérez et décrivez en détails les modifications à apporter au processeur pour supporter cette exception.

(*Utilisez le verso si nécessaire*)

Question 3. (2 points)

La sortie d'un inverseur est initialement un 1 logique, correspondant à une tension $V_{out} = V_0$ volt. À t = 0 s, l'entrée de l'inverseur passe instantanément de 0 à 1 logique. La sortie doit alors passer de 1 à 0 logique, donc on aura éventuellement $V_{out} = 0$ volt. On peut modéliser cette situation par le circuit suivant, pour lequel l'équation de la tension de sortie est : $V_{out} = V_0 \times e^{-t/RC}$, où R et C sont respectivement les résistances et capacités du circuit, dues aux transistors et interconnexions, et t est le temps.



a. Donnez une expression pour la valeur du délai de descente t_{PHL} en fonction de R et C.

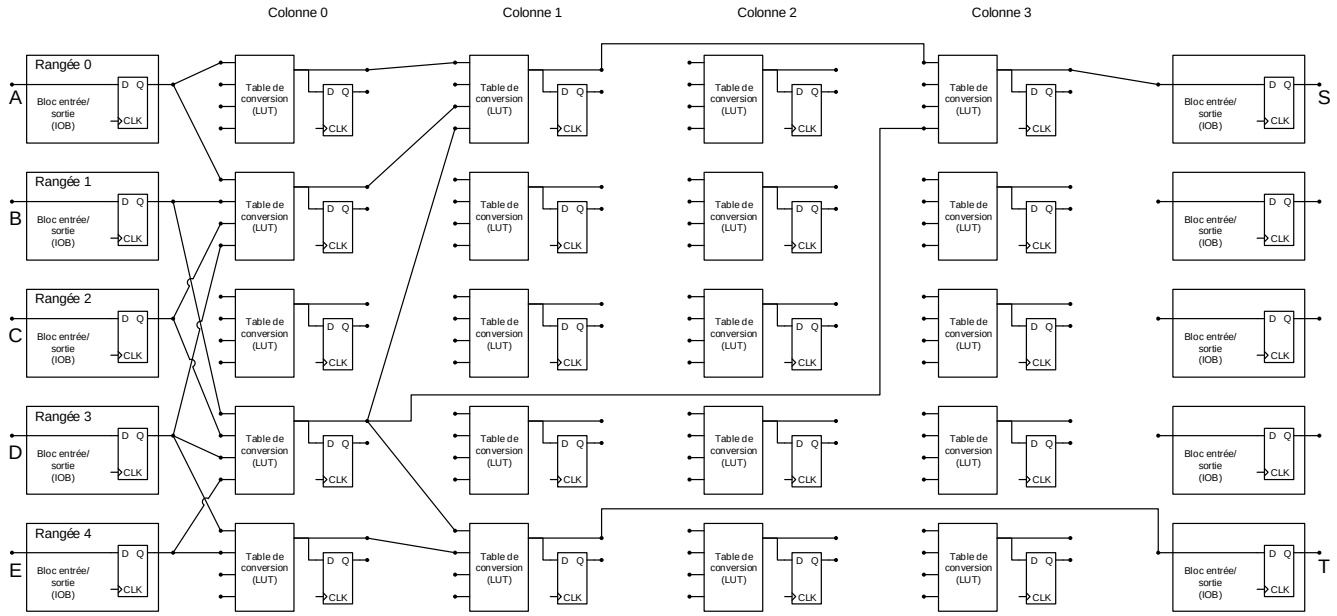
b. Quel est l'effet sur t_{PHL} de doubler la valeur de R en maintenant C constante?

c. Quelle est la valeur de t_{PHL} pour R = 10 Ω et C = 1 nF?

Question 4. (4 points)

Considérez le diagramme suivant montrant un circuit implémenté sur un FPGA simplifié. Les entrées du circuit sont les signaux A, B, C, D et E. Il y a deux sorties S et T. Le FPGA est composé de tranches ayant chacune une table de correspondance (LUT) et une bascule pouvant être utilisée ou non, et de blocs d'entrée/sortie (IOB) dans lesquels les bascules sont toujours utilisées.

Pour ce FPGA, les LUT ont un délai de 0.3 ns. Les bascules ont un délai de 0.4 ns, un temps de préparation t_{su} de 0.2 ns, et un temps de maintien t_h de 0.1 ns. Chaque fil d'interconnexion ajoute un délai de 0.25 ns pour chaque rangée et chaque colonne de distance. Bien que des lignes diagonales soient tracées sur le diagramme, tous les signaux sont routés en lignes horizontales et/ou verticales.



a. (2.5 points) Identifiez le chemin critique du circuit et donnez la fréquence maximale d'horloge.

b. (0.5 point) Donnez la latence du circuit, en nombre de cycles d'horloge.

c. (3 points) On veut maximiser le débit de ce circuit par la technique du pipeline. Montrez clairement sur le diagramme quelles bascules utiliser. Quel est le débit maximal qui peut être atteint par ce circuit? Énoncez clairement toutes vos suppositions et justifiez complètement votre réponse.