

Nom : _____ Matricule : _____

INF3500 : Conception et réalisation de systèmes numériques

Examen intra #3 – lundi 5 décembre 2016

Durée: 1 heure.

Documentation: Une feuille recto verso 8.5”×11” ou A4 permise.

Pondération: 0% (formatif).

Calculatrice: Programmable permise.

Directives particulières:

- Ordinateurs interdits. Appareils mobiles interdits.
- Répondre à toutes les questions, la valeur de chaque question est indiquée.
- Répondre sur le questionnaire et le remettre.
- Ne posez pas de questions. En cas de doute sur le sens d’une question, énoncez clairement toute supposition que vous faites.

Question 1. (2 points)

Considérez le code VHDL suivant. Au début de la simulation, le processus est lancé.

```
entity demoprocessus is
end demoprocessus;
architecture arch of demoprocessus is
signal s1 : integer := 100;
signal s2, s3, s4, s5 : integer := -100;

begin

process
variable v1 : integer := 2;
begin
while (v1 >= 0) loop

s2 <= v1 + 5;
v1 := v1 - 1;
s3 <= v1 + 5;

s1 <= s1 + 1;
s4 <= s3 + s2;

wait for 5 ns;

s3 <= s3 + v1;
s4 <= s3 + s2;

wait for 5 ns;

s4 <= s3;
s5 <= s3;

wait for 0 ns;

end loop;

wait for 100 ns;

end process;

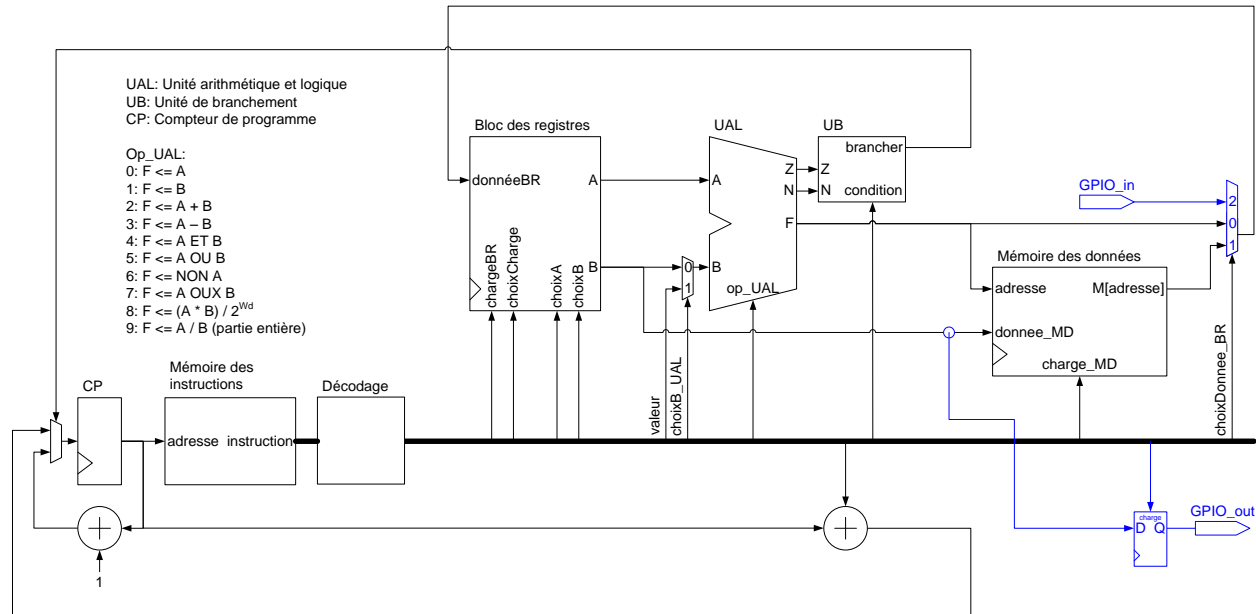
end arch;
```

Complétez le chronogramme suivant montrant l'évolution de la variable V1 et des signaux S1, S2, S3 et S4 dans le temps.

	0 ns	5 ns	10 ns	15 ns	20 ns	25 ns	30 ns	35 ns	40 ns
V1									
S1									
S2									
S3									
S4									

Question 2. (3 points)

Considérez le diagramme suivant du processeur PolyRISC. Le port d'entrée GPIO_in permet de lire une donnée de l'extérieur dans le bloc des registres. Le port de sortie GPIO_out permet d'écrire à l'extérieur le contenu d'un registre spécial dans lequel on peut copier une des valeurs entreposées dans le bloc des registres.



a. (1.5 points) Donnez la valeur des signaux de contrôle pour les opérations indiquées.

opération	chargeBR	choixCharge	choixA	choixB	valeur	ChoixB_UAL	Op_UAL	Charge_MD	choixDon- nee_BR	charge (GPIO_out)
R15 := GPIO_in;										
R9 := R5 OUX R0;										
M[22 + R4] := R13;										
R5 := M[R5 + R5];										

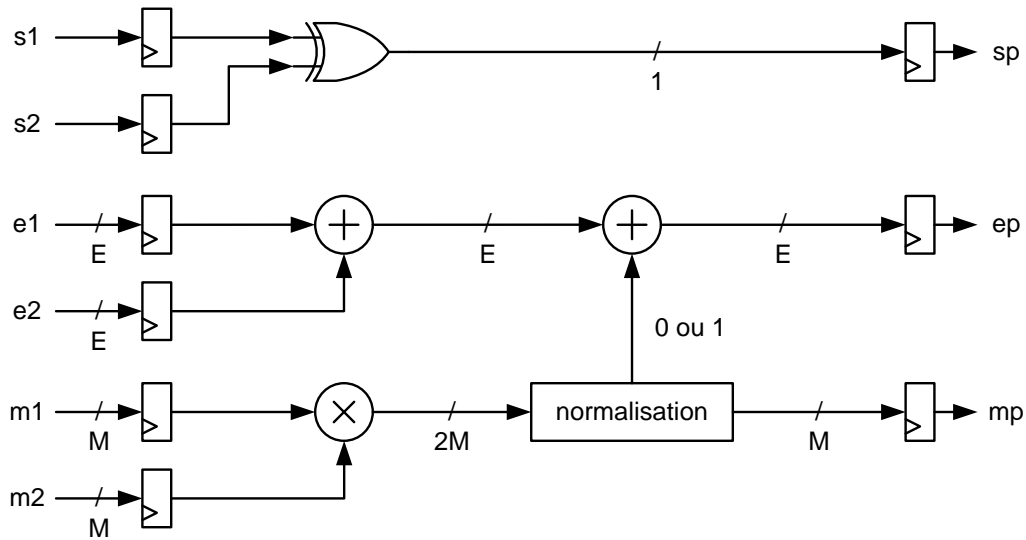
b. (1.5 points) Modifiez le chemin des données du processeur PolyRISC pour permettre l'instruction à trois opérandes $R_w := R_x + R_y \times R_z$.

- i. Montrez sur le diagramme les changements architecturaux requis.
- ii. Énumérez les signaux de contrôle supplémentaires qui seraient requis.

iii. Décrivez les changements nécessaires au fonctionnement interne de l'UAL

Question 4. (4 points)

Considérez le diagramme suivant d'un multiplieur de nombres à virgule flottante.



Une instance du circuit avec $E = 8$ et $M = 23$ est implémentée pour un FPGA de la série 7 de Xilinx. Après implémentation, on a caractérisé les différentes parties du circuit comme suit.

Les bascules ont un délai de 0.4 ns, un temps de préparation t_{su} de 0.4 ns et un temps de maintien t_h de 0.2 ns. La porte OUX est implémentée par une LUT dont le délai est de 0.1 ns. Les additionneurs ont des délais de 1.75 ns. Le multiplieur est implémenté sur un des blocs DSP48E1 et a un délai de 3.25 ns. La fonction de normalisation a un délai de 2.5 ns.

Suite au placement et routage, on estime que les fils d'interconnexion entre chacun des blocs ont des délais de 0.1 ns chacun.

a. (1.5 point) Identifiez le chemin critique du circuit et donnez la fréquence maximale d'opération.

b. (0.5 point) Donnez la latence du circuit en secondes et le débit du circuit en résultats par seconde.

c. (2 points) On désire atteindre un débit minimal de 175×10^6 résultats par seconde en gardant la latence la plus faible possible. Indiquez comment pipeliner le circuit pour satisfaire ces spécifications. Annotez le diagramme. Donnez la latence du circuit modifié. Justifiez complètement votre réponse.

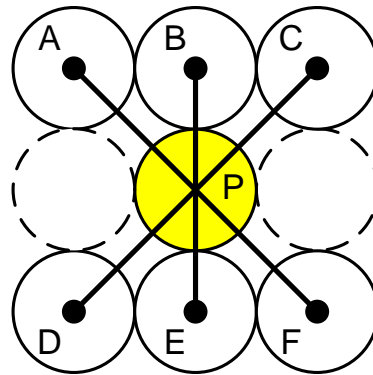
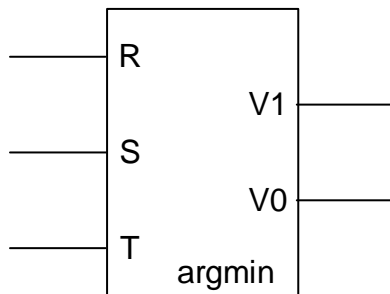
Question 5. (question bonus, portant sur le chapitre 5)

L'algorithme ELA (Edge-based Line Average) double la résolution verticale d'une image en créant une nouvelle ligne de pixels entre chaque paire de lignes existantes. Pour chaque paire de lignes, l'algorithme prend trois pixels de la ligne du haut et trois pixels de la ligne du bas, et calcule un pixel de la nouvelle ligne intermédiaire. Les pixels sont représentés en tons de gris sur 8 bits.

L'algorithme accepte en entrée les valeurs des six pixels A, B, C, D, E et F, et produit en sortie le pixel P. Il calcule trois différences absolues : $|A - F|$, $|B - E|$ et $|C - D|$. La plus petite de ces trois valeurs indique la direction d'interpolation. La valeur de P est alors donnée par la moyenne des deux pixels le long de la direction d'interpolation. Par exemple, si $|A - F|$ a la plus petite valeur, alors $P = (A + F) / 2$. Si $|B - E|$ a la plus petite valeur, alors $P = (B + E) / 2$.

a. Donnez (au verso d'une page de l'examen) le diagramme d'un chemin des données pour implémenter l'algorithme ELA. Supposez que les entrées sont disponibles dans des registres. La sortie doit aussi être placée dans un registre.

Vous pouvez utiliser les opérations arithmétiques et logiques, le décalage, des multiplexeurs, et la comparaison de grandeurs. Vous pouvez aussi utiliser un bloc 'argmin'. La fonction 'argmin' indique laquelle de ses trois entrées R, S, et T est la plus petite. Si $R \leq S$ et $R \leq T$, alors $V = "00"$. Si $S \leq R$ et $S \leq T$, alors $V = "01"$. Si $T \leq S$ et $T \leq R$, alors $V = "10"$. Le cas $V = "11"$ n'est pas possible.



b. Estimez les ressources nécessaires pour implémenter l'algorithme ELA sur un FPGA de la série 7 de Xilinx que vous avez utilisé au laboratoire. Justifiez en détails votre réponse. Ne considérez pas le bloc 'argmin'.

Ressource	Quantité et explication
Bascules	
LUT	
Tranches DSP48E	
Bloc RAM	

Solutions

Q1.

Signal name	0	8	16	24	32	40
V=v1	1	0	-1			
µs1	101	102	103			
µs2	7	6	5			
µs3	6	7	5	4	3	
µs4	-200	13	14	11	9	3

Q2.

a.

opération	chargeBR	choixCharge	choixA	choixB	valeur	ChoixB_UAL	Op_UAL	Charge_MD	choixDonnee_BR	charge (GPIO_out)
R15 := GPIO_in;	1	15	-	-	-	-	-	0	2	0
R9 := R5 OUX R0;	1	9	5	0	-	0	7	0	0	0
M[22 + R4] := R13;	0	-	4	13	22	1	2	1	-	0
R5 := M[R5 + R5];	1	5	5	5	-	0	2	0	1	0

b.

Il faudrait apporter les modifications suivantes.

Le bloc des registres devrait avoir trois sorties, A, B et C. Il faudrait donc lui ajouter un port 'choixC' pour pouvoir aiguiller le contenu d'un des registres au port C.

L'UAL aurait besoin d'une troisième entrée, C. Il faudrait décider si on relie cette entrée directement à la sortie C du bloc des registres ou bien si on remplace l'arrangement avec un multiplexeur de la sortie B actuelle.

Il faudrait modifier le code de l'UAL pour prendre en charge les nouvelles instructions. Le port op_UAL pourrait donc se voir élargi afin de prendre en charge cette nouvelle gamme d'instructions. Le bloc de décodage des instructions devrait en tenir compte.

Q3.

Solutions

a. Bascule C, OUX, ETX, NOU, OU, Bascule F. Délai : $2 + 0.1 + 4 + 0.1 + 4 + 0.1 + 2 + 0.1 + 3 + 0.1 = 15.5$ ns, + tsu(1 ns) = 16.5 ns. Fmax = 60.6 MHz.

b. Le chemin critique devient alors bascule A, ET, OU, NON-ET, OU, bascule F. Délai : $tcs(3$ ns) + $2 + 0.1 + 3 + 0.1 + 3 + 0.1 + 2 + 0.1 + 3 + 0.1 + tsu(1$ ns) = 17.5 ns. Fmax = 57.1 MHz.

Q4.

a. Le chemin critique va d'une des bascules m , à travers le multiplicateur, le bloc de normalisation, l'additionneur, puis la bascule pour ep .

Le délai total est de $0.4 + 0.1 + 3.25 + 0.1 + 2.5 + 0.1 + 1.75 + 0.1 + 0.4$ ns = 8.7 ns. La fréquence maximale d'opération est donc de 114.9 MHz.

b. La latence du circuit est de un cycle (sans compter la bascule à l'entrée), donc 8.7 ns, et le débit est de 114.9 M résultats par seconde.

c. Pour atteindre 175 M résultats/seconde, sans paralléliser, il faut un délai maximal de 5.71 ns.

On fait l'essai de placer un registre de pipeline après le multiplicateur. Le chemin critique serait :

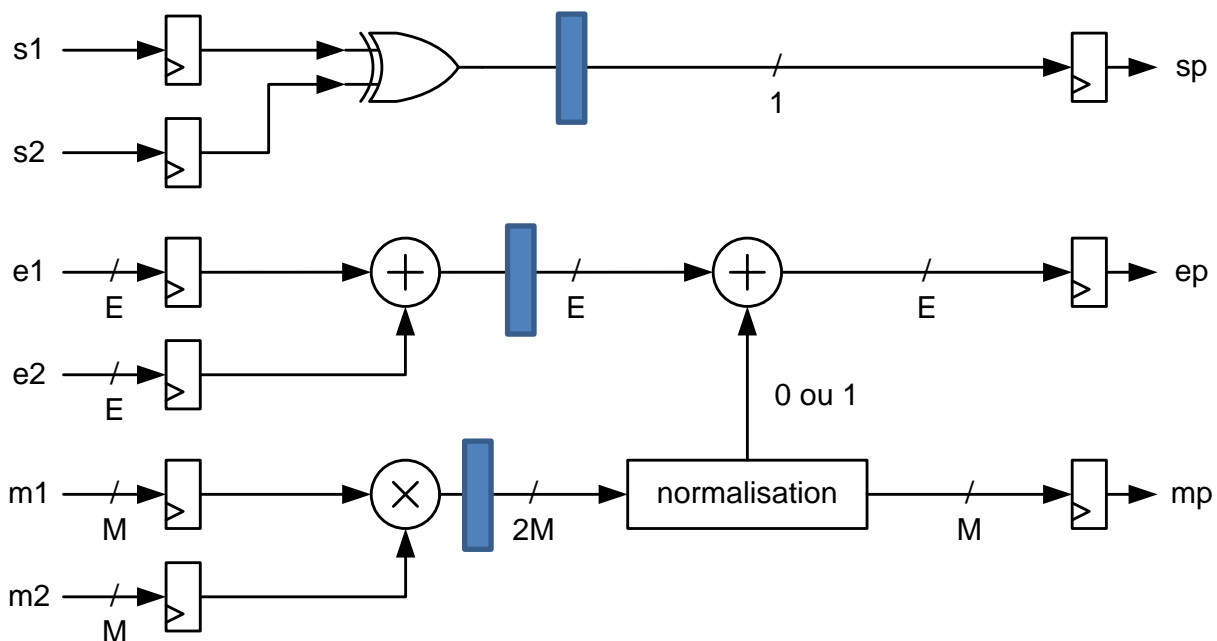
$m1$ à registre entre multiplicateur et normalisation, délai = $0.4 + 0.1 + 3.25 + 0.1 + 0.4$ ns = 4.25 ns.

registre entre multiplicateur et normalisation à registre ep , délai = $0.4 + 0.1 + 2.5 + 0.1 + 1.75 + 0.1 + 0.4$ ns = 5.35 ns.

Le chemin critique a donc un délai de 5.35 ns, ce qui correspond à une fréquence maximale d'opération de 186.9 MHz et un débit de 186.9 M résultats par seconde.

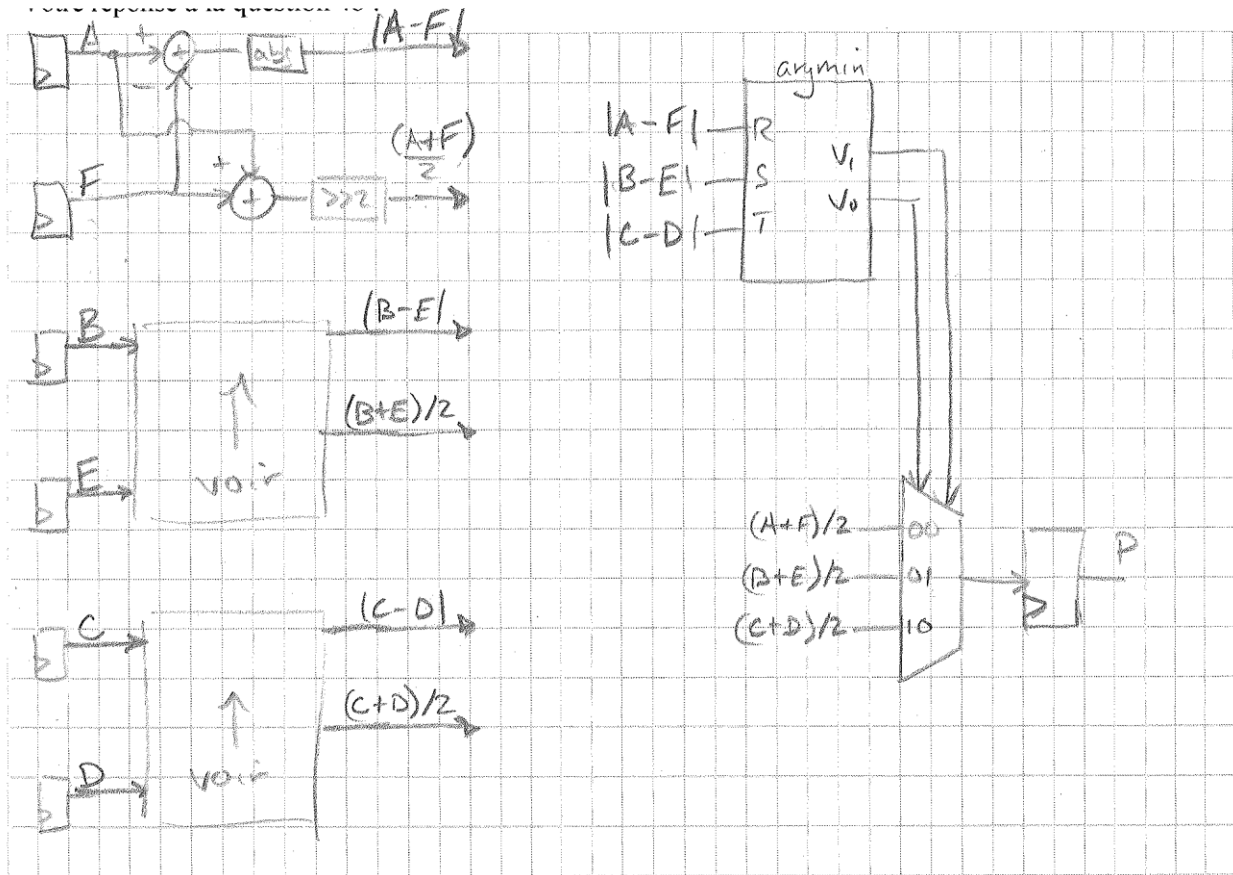
La latence serait de deux cycles, soit 10.7 ns.

Pour équilibrer le pipeline, il faut aussi placer un registre de pipeline entre les deux additionneurs et un après la porte OUX.



Q5.

Réponses :



b.

Ressource	Quantité et explication
Bascules	7 registres \times 8 bits par registre = 56 bascules Un registre de 8 bits (les pixels sont exprimés en tons de gris sur 8 bits) pour chaque port d'entrée (6) et de sortie (1).
LUT	(2 additions + 1 valeur absolue par bloc) \times 8 LUT chaque \times 3 blocs = 72 LUT (1 LUT peut faire une addition de 1 bit de large, ou bien une valeur absolue de 1 bit de large) 8 multiplexeur à 3 entrées et 2 signaux de contrôle = 8 LUT Total : 80 LUT (+ le bloc 'argmin')
Tranches DSP48E	0
Bloc RAM	0