

Nom : _____ Matricule : _____

INF3500 : Conception et réalisation de systèmes numériques

Examen intra #3 – mercredi 6 avril 2016

Durée: 1 heure.

Documentation: Une feuille recto verso 8.5”×11” ou A4 permise.

Pondération: 0% (formatif).

Calculatrice: Programmable permise.

Directives particulières:

- Ordinateurs interdits. Appareils mobiles interdits.
- Répondre à toutes les questions, la valeur de chaque question est indiquée.
- Répondre sur le questionnaire et le remettre.
- Ne posez pas de questions. En cas de doute sur le sens d’une question, énoncez clairement toute supposition que vous faites.

Question 1. (2 points)

Considérez le code VHDL suivant pour un module combinatoire et son banc de test associé. Donnez la valeur de tous les ports et signaux internes du module combinatoire en fonction du temps, en tenant compte des délais deltas.

```
library IEEE;
use IEEE.std_logic_1164.all;
entity module3 is
    port (
        A, B, C : in std_logic;
        F, G : out std_logic
    );
end module3;

architecture arch of module3 is
    signal S, T, V : std_logic;
begin

    S <= A or B;
    T <= A xor B;
    V <= A and C;

    process (S, T)
    begin
        F <= S and T and C;
    end process;

    process (B, V)
    begin
        G <= B or V;
    end process;

end arch;
```

```
library ieee;
use ieee.std_logic_1164.all;

entity module3_TB is
end module3_TB;

architecture arch of module3_TB is
    signal A, B, C, F, G : std_logic;
begin

    UUT : entity module3(arch)
        port map (A, B, C, F, G);

    A <= '1' after 0 ns;
    B <= '0' after 0 ns;
    C <= '0' after 0 ns, '1' after 10 ns;

end arch;
```

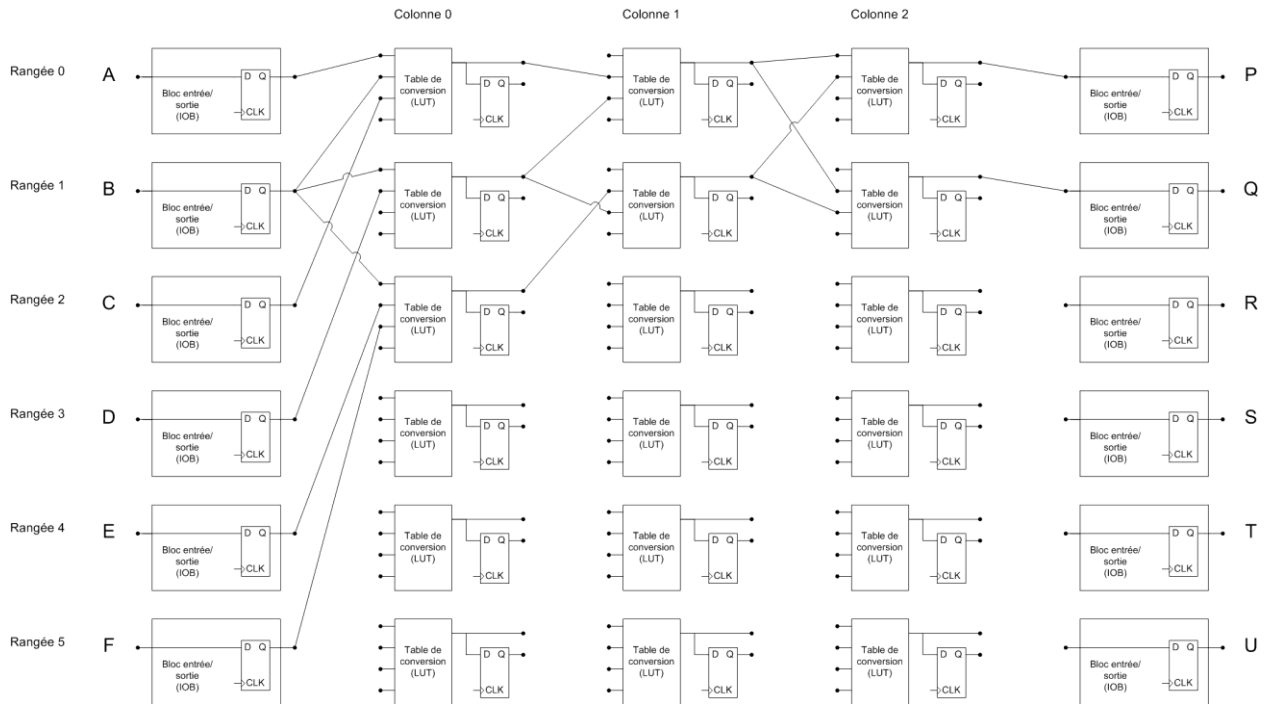
temps	delta	A	B	C	S	T	V	F	G
0 ns	0	U	U	U	U	U	U	U	U
0 ns	1								
0 ns	2								
0 ns	3								
10 ns	0								
10 ns	1								
10 ns	2								

Question 4. (4 points)

Considérez le diagramme suivant montrant un circuit implémenté sur un FPGA simplifié. Les entrées du circuit sont les signaux A, B, C, D, E et F. Il y a deux sorties P et Q. Le FPGA est composé de tranches ayant chacune une table de correspondance (LUT) et une bascule pouvant être utilisée ou non, et de blocs d'entrée/sortie (IOB) dans lesquels les bascules sont toujours utilisées.

Pour ce FPGA, les LUT ont un délai de 2.25 ns. Les bascules ont un délai de 0.75 ns, un temps de préparation t_{su} de 0.25 ns, et un temps de maintien t_h de 0.1 ns.

Les interconnexions, entre les tranches et entre les tranches et les IOB, ajoutent un délai de 0.2 ns pour chaque rangée et chaque colonne de distance. Bien que des lignes diagonales soient tracées sur le diagramme, tous les signaux sont routés en lignes horizontales et/ou verticales.



a. Identifiez le chemin critique du circuit sur le diagramme et donnez la fréquence maximale d'horloge.

b. Donnez la latence du circuit en secondes.

(suite sur la page suivante)

Solutions

Q1.

Time	Delta	UUT/A	UUT/B	UUT/C	UUT/S	UUT/T	UUT/V	UUT/F	UUT/G
0 ps	0	U	U	U	U	U	U	U	U
0 ps	1	1	0	0	U	U	U	U	U
0 ps	2	1	0	0	1	1	0	U	U
0 ps	3	1	0	0	1	1	0	0	0
10000 ps	0	1	0	1	1	1	0	0	0
10000 ps	1	1	0	1	1	1	1	0	0
10000 ps	2	1	0	1	1	1	1	0	1

Q2.

Opération ou groupe d'opérations simultanées	Possible ?	chargeBR	choixCharge	choixA	choixB	valeur	ChoixB_UAL	Op_UAL	Charge_MD	choixDon-nee_BR
#1 R4 := M[R0 + R2] ;	oui	1	4	0	2	-	0	2	0	1
#2 R7 := R1 + R2 ; et M[R1 + R2] := R1 ;	oui	1	7	2	1	-	0	2	1	0
#3 R3 := R4 + R5 ; et R4 := M[R4 + R5] ;	non	L'architecture ne permet pas de charger deux registres simultanément.								
#4 R2 := R1 ET 85 ; et M[R1 + 85] := R3 ;	non	L'UAL n'a qu'une sortie et ne peut donc pas faire l'addition et l'opération logique ET en même temps.								

Pour les opérations #3, il faudrait un bloc de registres à deux entrées, deux chemins de rétroaction vers l'entrée du bloc de registres (un de la mémoire et un de la sortie de l'UAL), et deux signaux distincts choixCharge1 et choixCharge2.

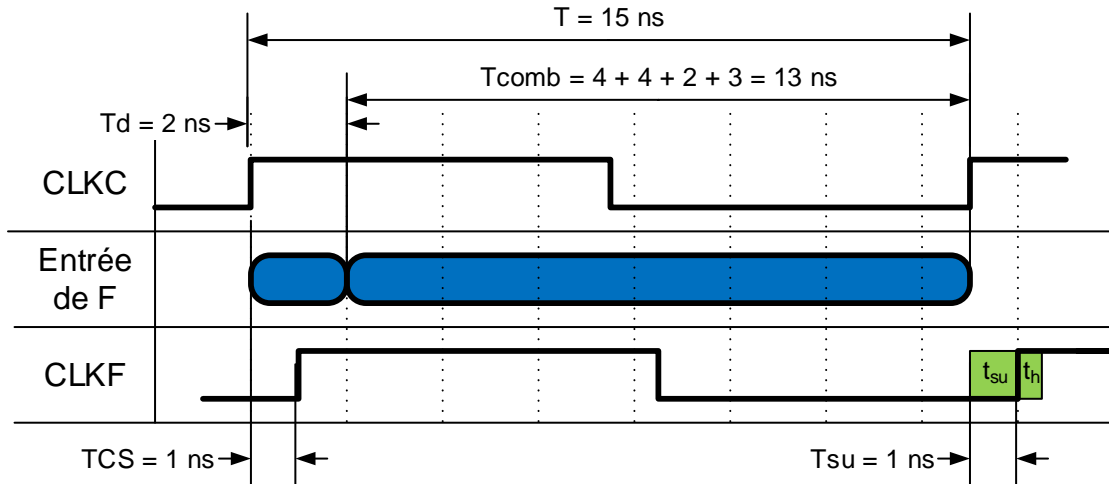
Pour les opérations #4, il faudrait avoir deux sorties à l'UAL, par exemple une pour les fonctions logiques et une pour les fonctions arithmétiques. Les additions devraient pouvoir être envoyées à l'adresse de la mémoire. Toutes les opérations devraient pouvoir être retournées vers le bloc des registres en rétroaction. [En pratique, on utilise un 2^e additionneur pour calculer les adresses de la mémoire.]

Q3.

a. On considère que la bascule C reçoit une horloge en retard par rapport aux autres. On a alors le cas #1 des diapositives (t_{cs} est négatif). La fréquence est de 50 MHz, donc la période est de 20 ns. Le chemin le plus long entre C et F fait $2 + 4 + 4 + 2 + 3 + 1$ ns = 16 ns. Le déphasage d'horloge maximum acceptable est donc de $16 - 20 = -4$ ns. Le signe négatif signifie que l'horloge de la bascule source est en retard par rapport à la bascule destination.

b. La bascule F a une horloge en retard par rapport aux autres. C'est donc un cas #3 des diapositives. On considère le même chemin critique, de C à F, dont le délai total est de 16 ns incluant le t_{su} de la bascule F. On pourrait soustraire 1 ns à ce délai, pour un total de 15 ns et une fréquence d'horloge maximale de 66.7 MHz.

Le diagramme suivant illustre la situation.

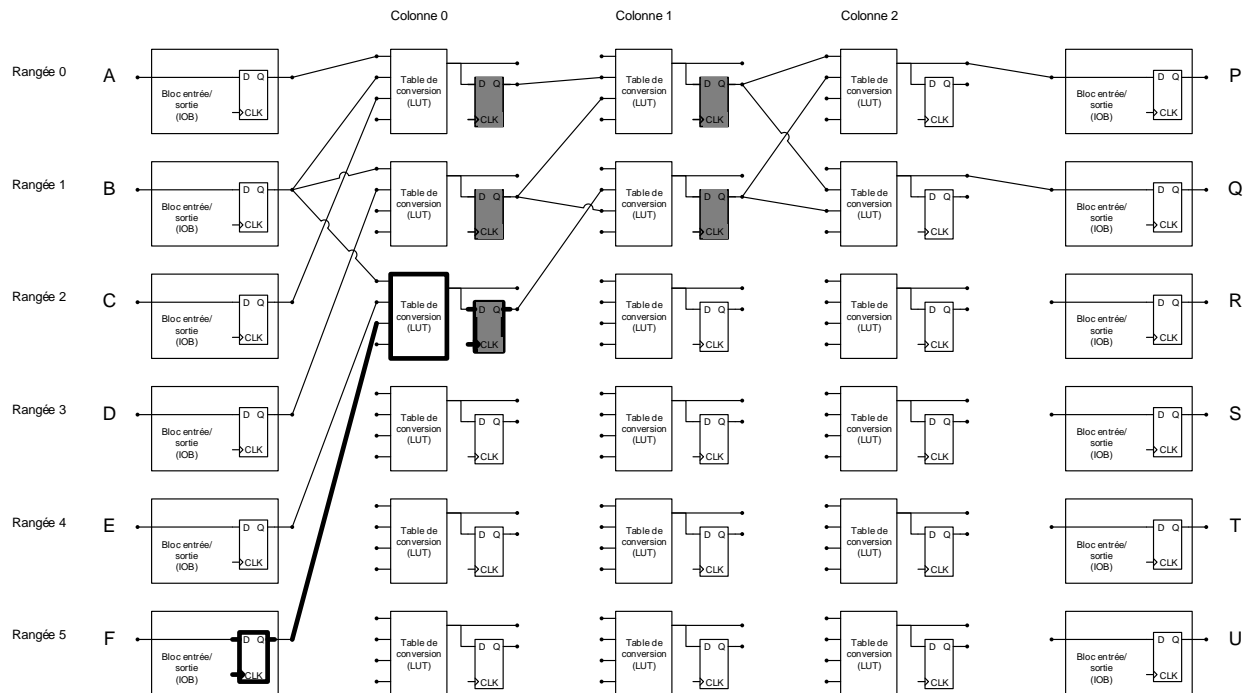


Q4.

- Le chemin critique va de la bascule du bloc d'entrée/sortie F à la bascule du port /sortie P. Le délai total est donné par :

$$\text{délai bascule} + 3 \times \text{délai LUT} + (4 + 2 + 2 + 1) \times \text{délai interconnexions} + t_{su}$$

$$= 0.75 + 3 \times 2.25 + 9 \times 0.2 + 0.25 = 9.55 \text{ ns}$$
 La fréquence maximale est 104.7 MHz.
- La latence est de 1 cycle, soit 9.55 ns.
- Pour atteindre ce débit, une option est de pipeliner le circuit pour augmenter la fréquence d'horloge à 165 MHz, soit une période de 6.06 ns. Il faut insérer les bascules dans les tranches des colonnes 0 (C0R0, C0R1 et C0R2) et 1 (C1R0 et C1R1). Voir le diagramme :



Entre les ports d'entrées et la colonne 0, le plus long chemin à gauche des registres de pipeline est celui qui part du port F vers la bascule C0R2. Son délai est :

$$\begin{aligned} & \text{délai bascule} + 1 \times \text{délai LUT} + 4 \times \text{délai interconnexions} + t_{su} \\ & = 0.75 + 1 \times 2.25 + 4 \times 0.2 + 0.25 = 4.05 \text{ OK} \end{aligned}$$

Le plus long chemin de la colonne 0 à la colonne 1 va du registre C0R2 au registre C1R1 (et aussi de C0R1 à C1R0). Son délai est :

$$\begin{aligned} & \text{délai bascule} + 1 \times \text{délai LUT} + 2 \times \text{délai interconnexions} + t_{su} \\ & = 0.75 + 1 \times 2.25 + 2 \times 0.2 + 0.25 = 3.65 \text{ OK} \end{aligned}$$

Le plus long chemin de la colonne 1 à la sortie va du registre C1R0 à la sortie Q ou bien du registre C1R1 à la sortie P. Son délai est :

$$\begin{aligned} & \text{délai bascule} + 1 \times \text{délai LUT} + 2 \times \text{délai interconnexions} + t_{su} \\ & = 0.75 + 1 \times 2.25 + 3 \times 0.2 + 0.25 = 3.85 \text{ OK} \end{aligned}$$

Avec cet arrangement, la fréquence d'horloge pourrait atteindre $1 / 4.05 \text{ ns} = 246.9 \text{ MHz}$.

- d. La latence est de trois cycles d'horloge, soit $3 \times 4.05 \text{ ns} = 12.15 \text{ ns}$.
- e. Il faudrait un circuit qui va d'une bascule à une autre bascule immédiatement adjacente en passant par une table de conversion. Le délai serait $0.75 + 2.25 + 0.2 + 0.25 = 3.45 \text{ ns}$, soit 289.9 MHz .
- f. Puisqu'on ne peut pas pipeliner d'avantage le circuit, il faudrait instancier plusieurs unités de traitement en parallèle pour multiplier le nombre de résultats produits par cycle d'horloge. Comme la fréquence maximale du circuit pipeliné est de 247 MHz , il faudrait au moins trois unités de calcul en parallèle. En principe on pourrait donc dépasser les 550×10^6 résultats / s requis.

Il faudrait diviser le flot des données des ports d'entrées vers les trois unités de calculs.

Il faudrait qu'il y ait suffisamment de tranches disponibles dans le FPGA pour les trois unités de traitement.