

Nom : _____

Matricule : _____

INF3500 : Conception et réalisation de systèmes numériques

Examen intra #2 – mercredi 9 mars 2016

Durée: 1 heure.

Documentation: Une feuille recto verso 8.5"×11" ou A4 permise.

Pondération: 10%.

Calculatrice: Programmable permise.

Directives particulières:

- Ordinateurs interdits. Appareils mobiles interdits.
- Répondre à toutes les questions, la valeur de chaque question est indiquée.
- Répondre sur le questionnaire et le remettre.
- Ne posez pas de questions. En cas de doute sur le sens d'une question, énoncez clairement toute supposition que vous faites.

Question 1. (2 points)

Vous êtes responsable de la vérification d'un système de contrôle de la vitesse d'une voiture autonome. Le système a quatre entrées : la limite de vitesse (50, 70, 90 ou 100 km/h), la période de la journée (jour ou nuit), la visibilité (au mètre près), et l'état de la chaussée (sèche, mouillée ou enneigée). La sortie du système est la vitesse désirée. La vitesse désirée est la limite de vitesse, moins une marge de sécurité qui dépend de la période de la journée et des conditions atmosphériques et routières.

Quand la visibilité est inférieure à 10 m, la voiture doit s'arrêter. Quand la visibilité est entre 10 m et 100 m, la vitesse désirée doit être réduite de moitié. Pour une visibilité supérieure à 100 m, il n'y a pas de contrainte. La nuit, la vitesse désirée doit être réduite de 10%. Quand la chaussée est mouillée ou enneigée, la vitesse désirée doit être réduite de 15%. Par exemple, dans une zone de 90 km/h, la nuit, chaussée mouillée, visibilité de 37 m, la vitesse doit être : $90 \times 0.5 \times 0.9 \times 0.85 = 34.4$ km/h.

Proposez un partitionnement en classes pour chacune des quatre entrées.

Pour la limite de vitesse : _____

Pour la période de la journée : _____

Pour la visibilité : _____

Pour l'état de la chaussée : _____

Question 2. (3 points)

Considérez le circuit d'un registre à décalage à rétroaction linéaire (*Linear Feedback Shift Register – LFSR*) et la description de son entité.

<pre>library ieee; use ieee.std_logic_1164.all; entity lfsr4bits is port(clk, rst : in std_logic; dout : out std_logic); end lfsr4bits;</pre>	
--	--

a. (2 points) Donnez le code VHDL synthétisable d'une architecture correspondante à cette entité et au diagramme. Le signal `rst` alimente chaque bascule mais n'est pas représenté sur le schéma. L'initialisation doit être asynchrone et mettre le contenu des bascules $Q_3Q_2Q_1Q_0$ à l'état 0100.

b. (1 point) Donnez la valeur binaire du registre formé par les quatre bascules $Q_3Q_2Q_1Q_0$ pour les 16 premiers cycles d'horloge après une réinitialisation à 0100.

Question 3. (3 points)

La méthode de Newton-Raphson permet de calculer la réciproque d'un nombre D par un processus itératif. À chaque itération, on calcule $X_{k+1} = X_k + X_k \times (1 - D \times X_k)$. Si D est exprimé avec 8 bits, est dans l'intervalle $[0.5, 1]$ (suite à une normalisation préalable) et avec $X_0 = 1$, la valeur de X_k (aussi exprimée avec 8 bits) converge vers D^{-1} avec une précision acceptable en 4 itérations

On peut décrire l'algorithme avec les micro-opérations suivantes. D est une entrée du système et *fini* une sortie.

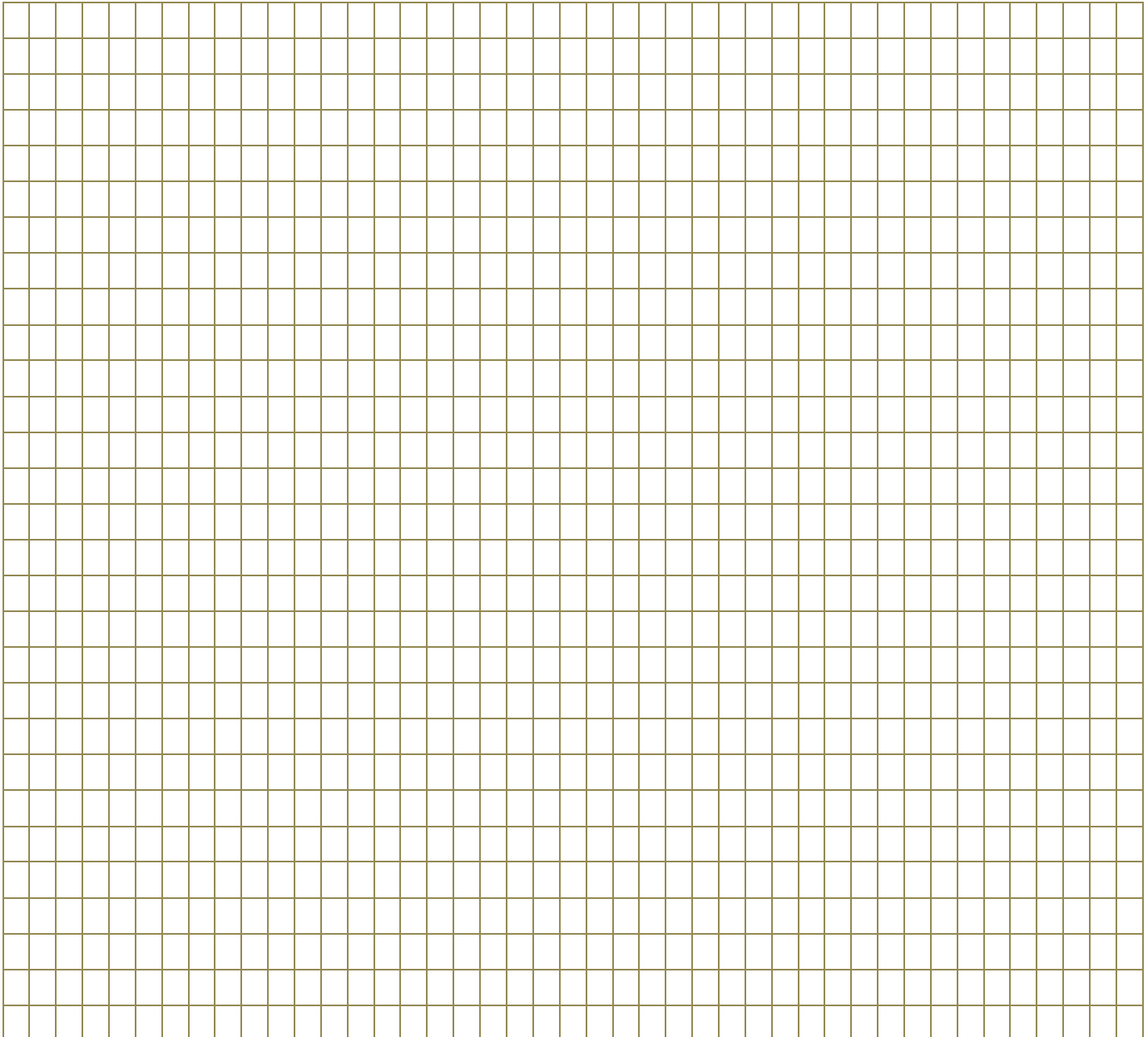
k := 4: k ← k + 1;

k := 4: X ← X + X * (1 - D * X);

k = 4 : fini ← 1

Donnez le diagramme d'un chemin des données correspondant à ces micro-opérations.

Quand le signal de réinitialisation *init* a la valeur 1, il faut remettre k à 0, fini à 0 et X à 1. Il n'est pas nécessaire de montrer cette réinitialisation sur votre diagramme.



Question 4. (2 points)

Considérez le chemin des données suivant pour implémenter l'algorithme de division de Goldschmidt.

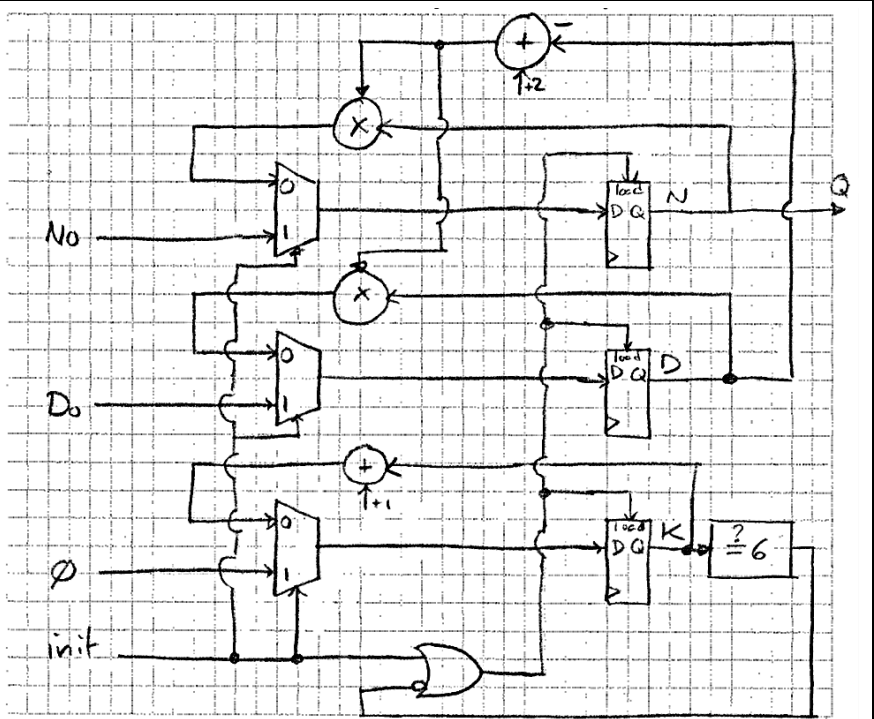
Dans le schéma, les registres N et D et les signaux N_0 et D_0 ont chacun 16 bits de large.

Le registre K a 3 bits de large.

Le signal *init* a un seul bit.

Estimez le nombre de ressources nécessaires en termes de tables de conversion (LUT), bascules (FF) et tranches DSP48 pour implémenter ce chemin des données sur un FPGA de la famille Virtex 5 de Xilinx.

Justifiez complètement votre réponse.



	nombre	Justification
#LUT		
#FF		
#DSP48E		

Solutions

#1

limite de vitesse, 4 classes : {50}, {70}, {90}, {100}

période de la journée, 2 classes {jour}, {nuit}

visibilité, 3 classes : {[0, 10[}, {[10, 100]}, {]100, ∞[}

chaussée, 2 classes : {sèche}, {mouillée, enneigée}

#2 Réponse

Solution

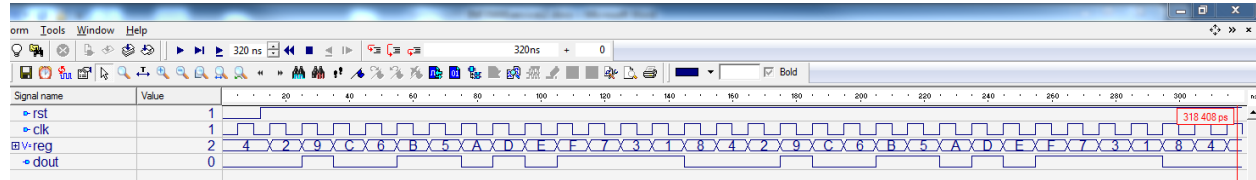
a.

```

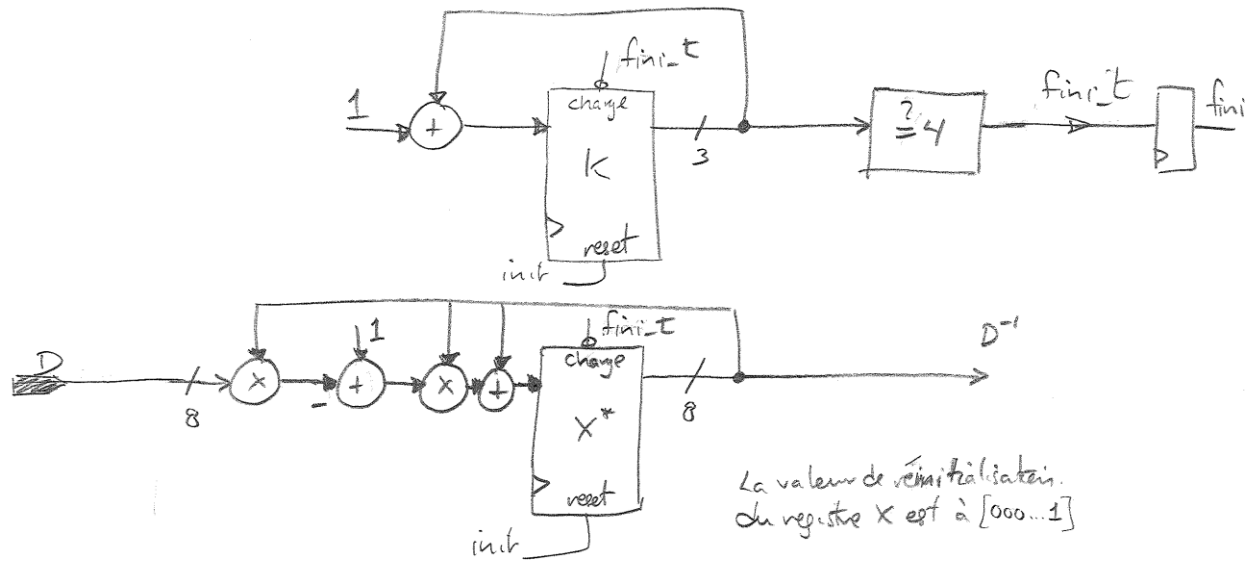
architecture arch of lfsr4bits is
begin
  process(clk, rst)
    variable reg : std_logic_vector(3 downto 0);
  begin
    if rst = '0' then
      reg := "0100";
    elsif rising_edge(clk) then
      reg := (reg(1) xor reg(0)) & reg(3 downto 1);
    end if;
    dout <= reg(0);
  end process;
end arch;

```

c. La séquence du contenu des registres serait de 15 nombres : {4, 2, 9, C, 6, B, 5, A, D, E, F, 7, 3, 1, 8} et se répéterait indéfiniment. Le signal dout est le bit le moins significatif de ces nombres : 0, 0, 1, 0, 0, 1, 1, 0, etc.



#3 Réponse



#4 Réponse

	nombre	Justification
#LUT	59	L'addition du signal K est sur 3 bits, donc 3 LUT. L'addition du signal D est sur 16 bits, donc 16 LUT. La comparaison d'égalité du signal K avec le nombre 6 (binaire 110) peut se faire avec une seule LUT puisque K n'a que 3 bits (et que les LUT ont 6 entrées). La porte OU nécessite 1 LUT. Les deux multiplexeurs pour N et D ont chacun 16 bits, donc 16 LUT chacun. Le multiplexeur pour K a 3 bits, donc 3 LUT. Total : $3 + 16 + 3 + 1 + 1 + 16 \times 2 + 3 = 59$
#FF	35	Il faut 16 bascules pour les registres N et D et 3 bits pour le registre K. $16 + 16 + 3$ bascules
#DSP48E	2	Il y a deux multiplications