

Nom : _____ Matricule : _____

INF3500 : Conception et réalisation de systèmes numériques

Examen intra #3 – lundi 7 décembre 2015

Durée: 1 heure.

Documentation: Une feuille recto verso 8.5"×11" ou A4 permise.

Pondération: 0% (formatif).

Calculatrice: Programmable permise.

Directives particulières:

- Ordinateurs interdits. Appareils mobiles interdits.
- Répondre à toutes les questions, la valeur de chaque question est indiquée.
- Répondre sur le questionnaire et le remettre.
- Ne posez pas de questions. En cas de doute sur le sens d'une question, énoncez clairement toute supposition que vous faites.

Question 1. (2 points)

Réponses brèves.

a. Expliquez dans quels cas la division et le calcul du modulo sont supportés par les outils de synthèse présentement sur le marché, et pourquoi ces opérations ne le sont pas dans les autres cas.

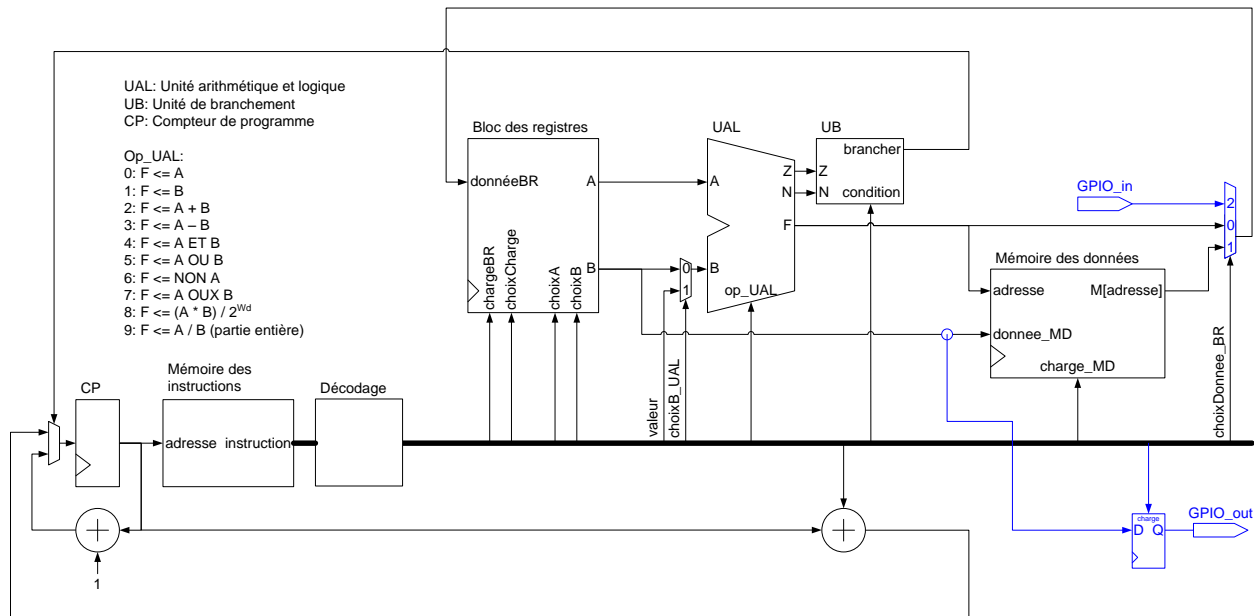
b. Qu'est-ce qui est produit par un outil de synthèse à partir d'un code VHDL valide?

c. Dans quelles conditions une boucle en VHDL n'est-elle pas synthétisable ? Expliquez pourquoi.

d. Donnez deux métriques pour comparer différentes solutions de placement d'un circuit numérique sur un FPGA.

Question 2. (2 points)

Considérez le diagramme suivant du processeur PolyRISC.



a. (4 points) Remplissez le tableau suivant des signaux de contrôle du chemin des données.

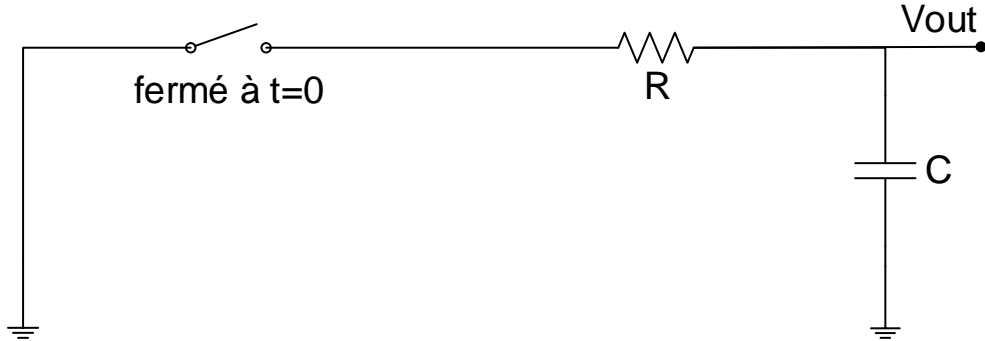
opération	chargeBR	choixCharge	choixA	choixB	valeur	ChoixB_UAL	Op_UAL	Charge_MD	choixDon- nee_BR	charge (GPIO_out)
R15 := GPIO_in;										
R9 := R5 OUX R0;										
M[22 + R4] := R13;										
R5 := M[R5 + R5];										

b. (4 points) Une exception doit être lancée dans le cas d'une division par 0. Lors de cette exception, le processeur doit brancher à l'adresse 1000h, où du code de traitement de l'exception serait placé. Énumérez et décrivez en détails les modifications à apporter au processeur pour supporter cette exception.

(Utilisez le verso si nécessaire)

Question 3. (2 points)

La sortie d'un inverseur est initialement un 1 logique, correspondant à une tension $V_{\text{out}} = V_0$ volt. À $t = 0$ s, l'entrée de l'inverseur passe instantanément de 0 à 1 logique. La sortie doit alors passer de 1 à 0 logique, donc on aura éventuellement $V_{\text{out}} = 0$ volt. On peut modéliser cette situation par le circuit suivant, pour lequel l'équation de la tension de sortie est : $V_{\text{out}} = V_0 \times e^{-t/RC}$, où R et C sont respectivement les résistances et capacités du circuit, dues aux transistors et interconnexions, et t est le temps.



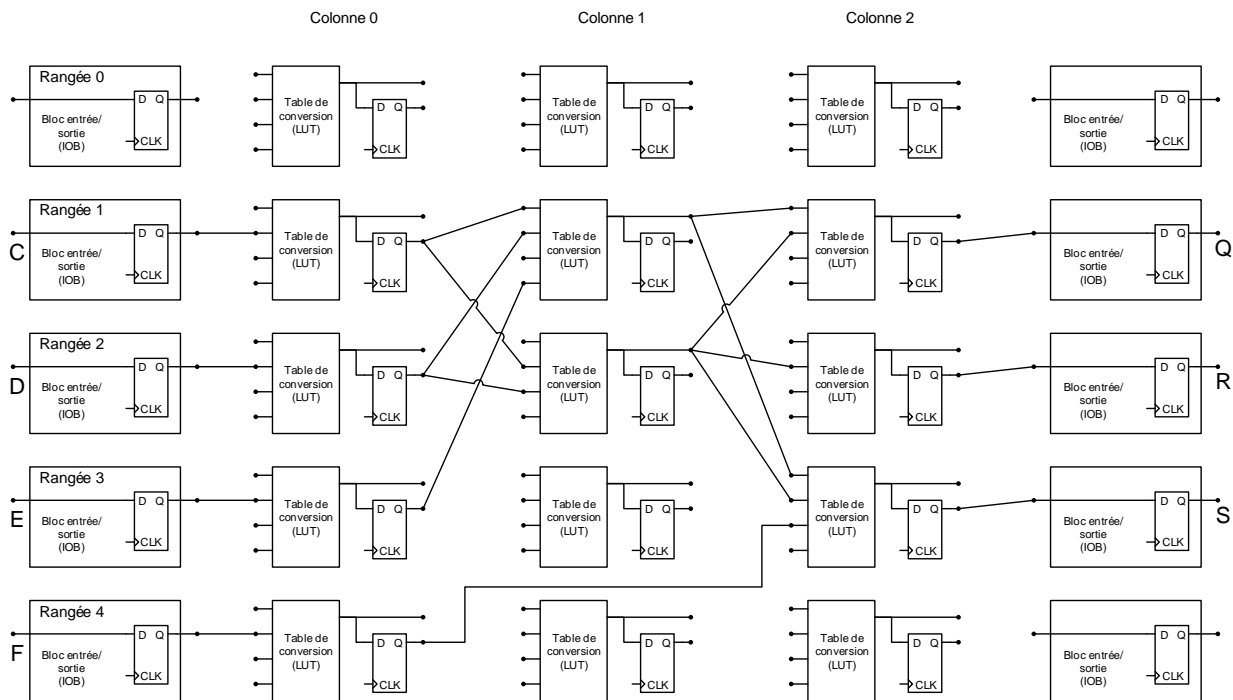
a. Donnez une expression pour la valeur du délai de descente t_{PHL} en fonction de R et C.

b. Quel est l'effet sur t_{PHL} de doubler la valeur de R en maintenant C constante?

c. Quelle est la valeur de t_{PHL} pour $R = 10 \Omega$ et $C = 1 \text{ nF}$?

Question 4. (4 points)

Le diagramme suivant montre un circuit implémenté sur un FPGA simplifié. Les entrées du circuit sont C, D, E et F et les sorties sont Q, R et S. Le FPGA est composé de tranches ayant chacune une table de conversion (LUT) et une bascule pouvant être utilisée ou non, et de blocs d'entrée/sortie (IOB) dans lesquels les bascules sont toujours utilisées. Les LUTs ont un délai de 2.25 ns. Les bascules ont un délai de 0.75 ns, un temps de préparation t_{su} de 0.25 ns, et un temps de maintien t_h de 0.1 ns. Les interconnexions ajoutent un délai de 0.2 ns pour chaque rangée et chaque colonne de distance. Par exemple, le signal qui part de la tranche C0R4 (colonne 0, rangée 4) pour aller à la LUT de la tranche C2R3 a un délai de $(2 \text{ (colonnes)} + 1 \text{ (rangée)}) \times 0.2 \text{ ns} = 0.6 \text{ ns}$.



a. Identifiez le chemin critique du circuit sur le diagramme et donnez la fréquence maximale d'horloge, en ne supposant aucun déphasage d'horloge.

b. On veut pipeliner le circuit pour atteindre un débit de 250×10^6 résultats par seconde, où un résultat est un triplet Q/R/S. Indiquez clairement sur le dessin où et comment ajouter des registres de pipeline. Identifiez le nouveau chemin critique et donnez la fréquence maximale d'horloge.

(Utilisez le verso si nécessaire)

Solutions

Q1.

a. Réponse. La division et le modulo sont supportés quand le deuxième argument est une puissance de deux. Le résultat s'obtient alors par un décalage ou une sélection de bits, respectivement. La division générale et le modulo général ne sont pas présentement synthétisable parce qu'il n'y a pas de bloc dédié à cette opération dans la plupart des technologies, dont les FPGA. Ces opérations peuvent être réalisées de différentes façons, par exemple par la multiplication par la réciproque du diviseur et par des circuits itératifs. Dans les deux cas, il y a beaucoup de choix de design à faire, incluant la complexité matérielle et la latence du circuit résultant. Les concepteurs de synthétiseurs préfèrent laisser ces choix à celles et ceux qui écrivent du code VHDL.

b. Le produit de la synthèse est une liste de composantes de base et des interconnexions entre elles qui correspond à l'interprétation matérielle du code VHDL. Dans leur plus simple expression, les composantes peuvent être des portes logiques. Les composantes peuvent correspondre à des blocs plus complexes disponibles sur la technologie visée. Par exemple, pour un FPGA, une composante peut être un multiplieur ou un bloc de mémoire RAM.

c. Pour être synthétisable, une boucle logicielle doit pouvoir être déroulée complètement, et à chaque itération correspond un bloc matériel distinct. Cela correspond à échanger du temps pour de l'espace. Il faut donc que les bornes de la boucle soient connues de façon statique au moment de la synthèse, par exemple en étant des constantes ou des valeurs spécifiées par des énoncés `generic`.

d. Longueur totale des interconnexions, chemin le plus long, congestion des interconnexions.

Q2.

a.

opération	chargeBR	choixCharge	choixA	choixB	valeur	ChoixB_UAL	Op_UAL	Charge_MD	choixDonnee_BR	charge (GPIO_out)
R15 := GPIO_in;	1	15	-	-	-	-	-	0	2	0
R9 := R5 OUX R0;	1	9	5	0	-	0	7	0	0	0
M[22 + R4] := R13;	0	-	4	13	22	1	2	1	-	0
R5 := M[R5 + R5];	1	5	5	5	-	0	2	0	1	0

b. Les éléments suivants sont nécessaires :

- Il faut détecter la situation où l'opération à effectuer est la division et que l'opérande B de l'UAL a une valeur de 0. Cette fonctionnalité peut être placée à l'intérieur de l'UAL, en implémentant l'équation booléenne suivante : `exception <= (op_UAL = 9) ET (B = 0)`.
- Quand l'exception est lancée, le Compteur de Programme (CP) doit être chargé avec la valeur 1000h. Le multiplexeur à l'entrée du CP devrait avoir une troisième entrée, de valeur constante égale à 1000h.
- Le signal `exception` pourrait être transmis à l'unité de branchement. Le signal `brancher` de l'unité de branchement devrait avoir deux bits pour pouvoir contrôler le multiplexeur à l'entrée du CP. Dans le cas montré sur le diagramme, l'unité de branchement ne ferait que relayer ce signal au multiplexeur du CP sans avoir besoin d'effectuer une opération logique.

Q3.

a. T_{PHL} est mesuré du moment où le signal d'entrée passe à 50% de sa valeur jusqu'au moment où le signal de sortie passe à 50% de la sienne. Comme le signal d'entrée passe de 0 à 1 instantanément à $t = 0$, il faut trouver le moment où V_{out} a une valeur de $V_0/2$.

$$V_{out} = V_0 \times e^{-t/RC}$$

$$V_{out}/V_0 = e^{-t/RC}$$

$$0.5 = e^{-t_{PHL}/RC}$$

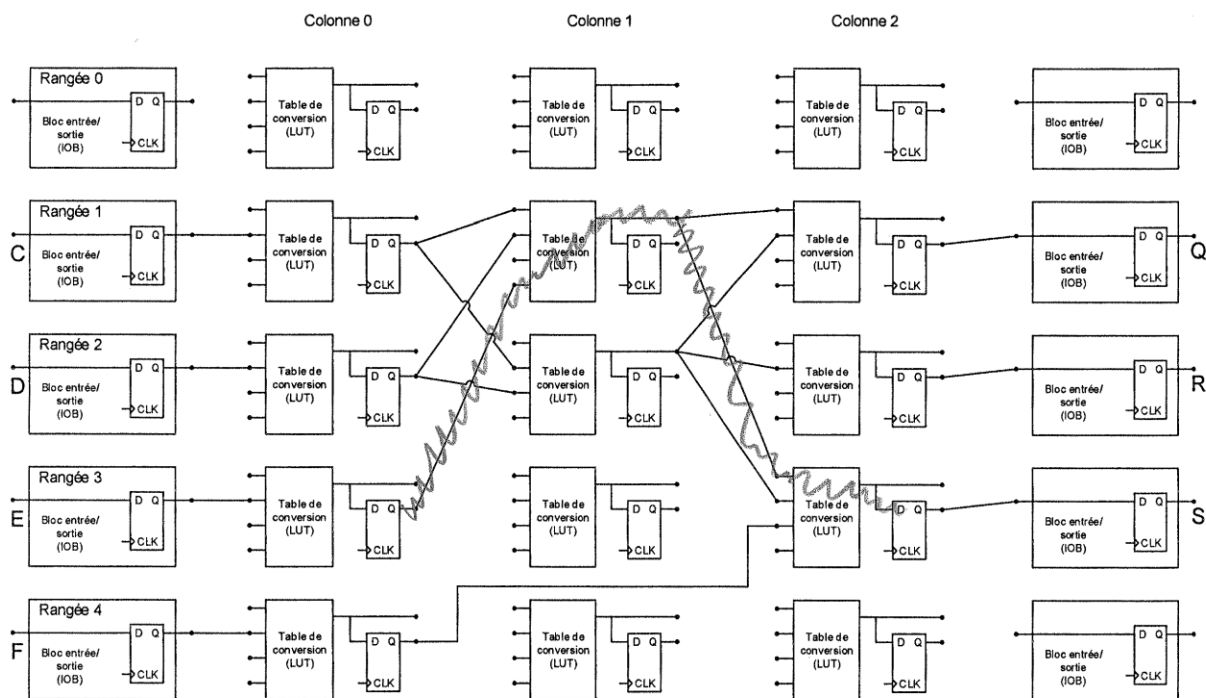
$$t_{PHL} = -\ln(0.5) \times RC \approx 0.693 \times RC$$

b. De par la relation, si on double R on double t_{PHL}

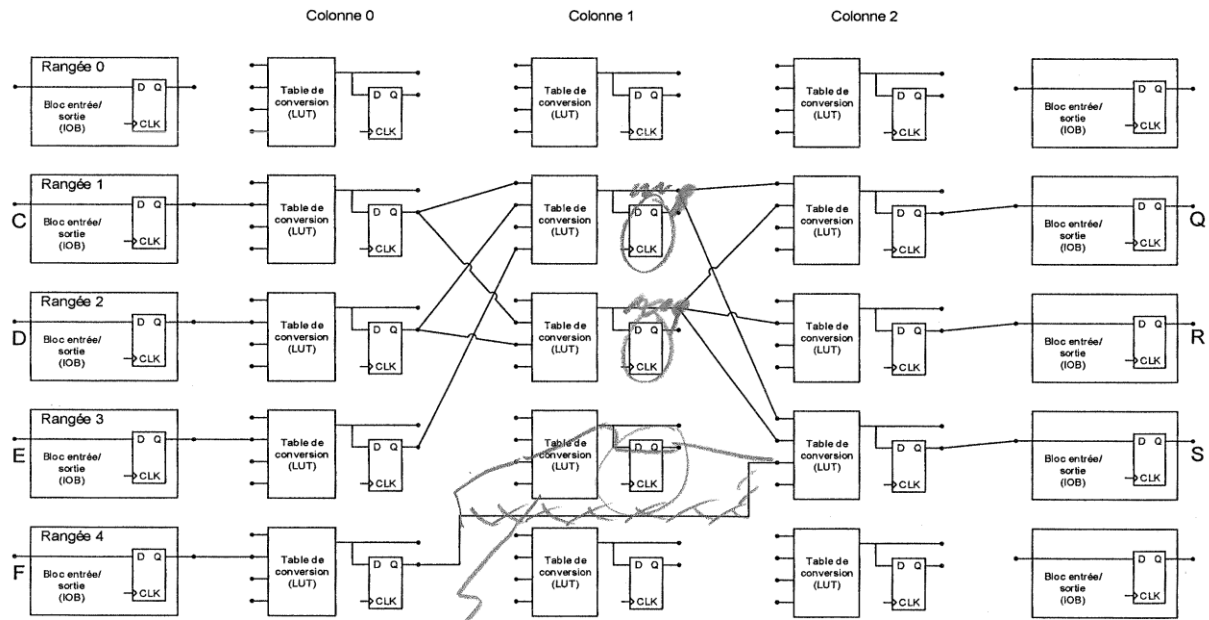
c. On calcule t_{PHL} = 6.93 ns.

Q4. Réponse :

a. Le chemin critique a un délai de $0.75 + 0.6 + 2.25 + 0.6 + 2.25 + 0.25 = 6.7$ ns, pour une fréquence maximale d'horloge de 149 MHz.



b. On insère des registres de pipeline dans la colonne 1. Attention, il faut utiliser une tranche supplémentaire pour le chemin de C0R4 à C2R3. Le chemin critique a maintenant un délai de $0.75 + 0.6 + 2.25 + 0.25 = 3.85$ ns, donc $f_{max} = 259$ MHz ok pour 250×10^6 résultats par seconde.



Cette LUT effectue l'opération 'double'.