

Nom : _____ Matricule : _____

INF3500 : Conception et réalisation de systèmes numériques

Examen intra #1 – lundi 5 octobre 2015

Durée: 1 heure.

Documentation: Une feuille recto verso 8.5"×11" ou A4 permise.

Pondération: 10%.

Calculatrice: Programmable permise.

Directives particulières:

- Ordinateurs interdits. Appareils mobiles interdits.
- Répondre à toutes les questions, la valeur de chaque question est indiquée.
- Répondre sur le questionnaire et le remettre.
- Ne posez pas de questions. En cas de doute sur le sens d'une question, énoncez clairement toute supposition que vous faites.

Question 1. Réponses brèves (1 point)

a. (0.5 point) Donnez et décrivez deux contraintes qui peuvent guider l'outil de synthèse dans son travail.

#1 _____

#2 _____

b. (0.5 point) Donnez et décrivez deux métriques de performance et/ou de coût qui peuvent être obtenues concernant un design après l'étape d'implémentation.

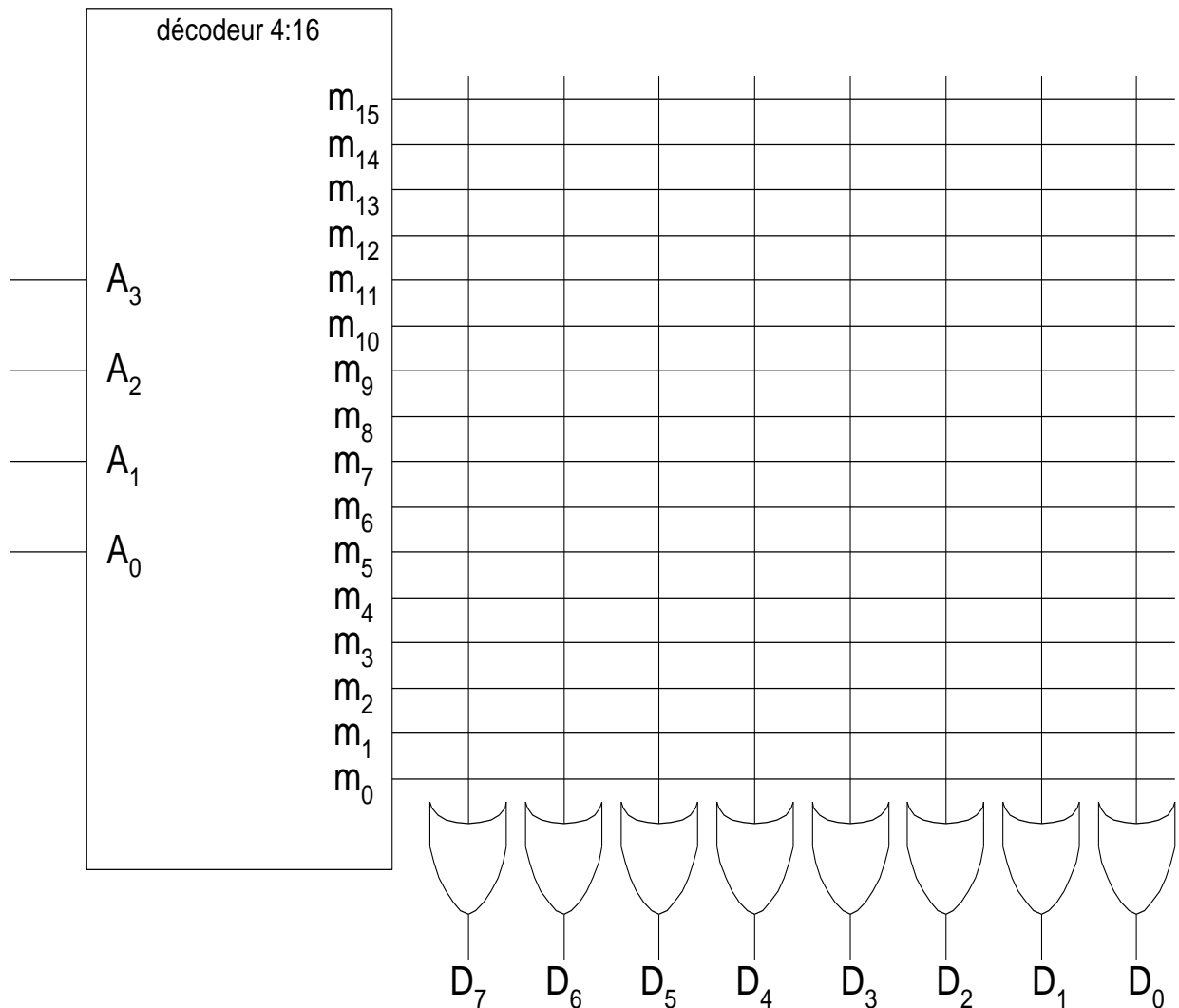
#1 _____

#2 _____

Question 3. (3 points)

Programmez le PROM suivant pour implémenter le code VHDL qui suit. Étiquetez correctement les ports d'entrée et de sortie, et placez des boulets (•) aux intersections de lignes à relier ensemble.

<pre>library ieee; use ieee.std_logic_1164.all; use ieee.numeric_std.all; entity module12 is port (x : in unsigned(3 downto 0); triangle : out unsigned(3 downto 0); carre2 : out std_logic; pulse4 : out std_logic); end module12; architecture arch of module12 is begin</pre>	<pre> carre2 <= x(1); pulse4 <= x(1) and x(0); process(x) is begin if x < 5 then triangle <= x; elsif x < 9 then triangle <= 8 - x; elsif x < 13 then triangle <= x - 8; else triangle <= 16 - x; end if; end process; end arch;</pre>
--	--



Solutions

1. Réponses

- a. Famille de puce, fréquence d'horloge cible, emphase sur la latence ou l'espace
- b. Nombres de ressources, délai et fréquence d'horloge maximale, puissance consommée

2. Réponses

a.

	FPGA	Logique fixe
Ingénieurs	\$ 75 000	\$ 166 667
Licences	\$ 9 000	\$ 80 000
Fonderie	\$ -	\$ 250 000
frais fixes	\$ 84 000	\$ 496 667
frais unitaires	\$ 50	\$ 2
frais production	\$ 50	\$ 25
frais par système	\$ 100	\$ 27
Unités	5653	5653
Total	\$ 649 300	\$ 649 298

On a $n \times 100 + 84000 = n \times 27 + 496667$. On trouve $n = (496667 - 84000) / (100 - 27) = 5653$ unités.

b. Quelques réponses possibles

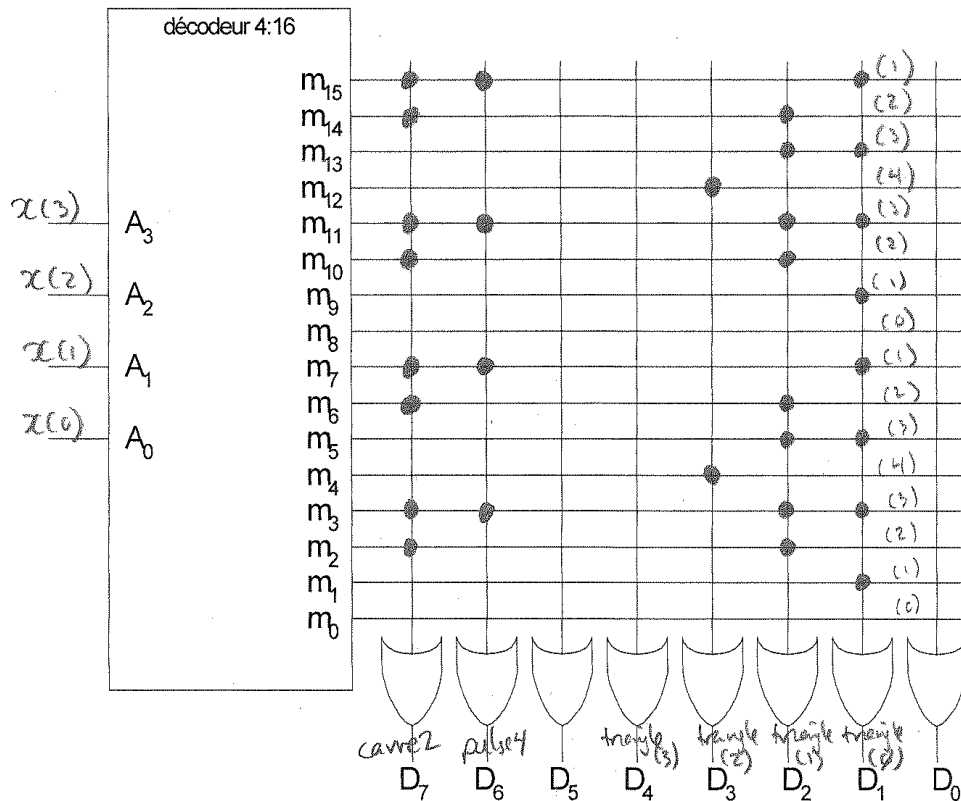
Le temps de livraison est 6× plus long pour la logique fixe, en plus de deux mois supplémentaires de développement. Ce délai supplémentaire pourrait être inacceptable pour le client.

Si une erreur de design survient, toute la chaîne de production doit être relancée pour la logique fixe.

La logique fixe ne permet pas de mises à jour du système pendant sa vie, contrairement au FPGA qui peut être reprogrammé.

La logique fixe permet en général d'atteindre une fréquence d'horloge plus élevée, de consommer moins de puissance et de nécessiter moins de transistors (et donc une plus petite surface) qu'un FPGA.

3. Solution



4.

Solution :

```
architecture flotdedonnees of majorite is
begin
```

```
  assert W = 5 report "architecture valide seulement pour W = 5" severity failure;
```

```
  with I select
```

```
    F <= '1' when "00111" | "01011" | "01101" | "01110" |
                  "01111" | "10011" | "10101" | "10110" |
                  "10111" | "11001" | "11010" | "11011" |
                  "11100" | "11101" | "11110" | "11111",
```

```
    '0' when others;
```

```
end flotdedonnees;
```

```
architecture comportementale of majorite is
begin
```

```
  process (I)
```

```
    variable compte : integer := 0;
```

```
  begin
```

```
    compte := 0;
```

```
    for k in W - 1 downto 0 loop
```

```
      if I(k) = '1' then
```

```
        compte := compte + 1;
```

```
      end if;
```

```
    end loop;
```

```
    if (compte > W / 2) then
```

```
      F <= '1';
```

```
    else
```

```
      F <= '0';
```

```
    end if;
```

```
  end process;
```

```
end comportementale;
```