

INF3500 : Conception et réalisation de systèmes numériques

Examen final

Hiver 2015

Durée: 2h30

Pondération: 50%

Documentation: Une feuille recto verso 8.5"×11" ou A4 permise.

Calculatrice: Programmable permise.

Directives particulières:

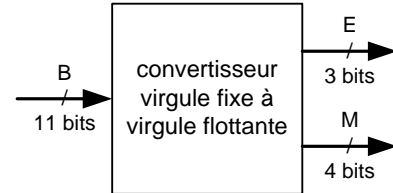
- Ordinateurs, tablettes, téléphones, caméras et autres appareils mobiles interdits.
  - Répondre à toutes les questions, la valeur de chaque question est indiquée.
  - Répondre sur le questionnaire et le remettre.
  - Ne posez pas de questions. En cas de doute sur le sens d'une question, énoncez clairement toute supposition que vous faites.
-



**Question 2. (8 points)**

Donnez le code VHDL synthétisable d'un circuit combinatoire qui accepte en entrée un nombre entier non signé B de 11 bits et qui donne une représentation en virgule flottante de ce nombre  $F = M \times 2^E$ , où la mantisse M est exprimée avec 4 bits et l'exposant E est exprimé avec 3 bits. Bien qu'elle prenne moins de bits, la représentation en virgule flottante n'est pas exacte. Le tableau suivant donne quelques exemples.

L'exposant E correspond à l'indice du '1' le plus significatif de B, moins 3. S'il n'y a pas de '1' aux indices 4 à 10, l'exposant est 0. La mantisse M est donnée par les 4 bits à partir du '1' le plus significatif, ou par les 4 bits les moins significatifs du nombre si il n'y a pas de '1' aux indices 4 à 11.



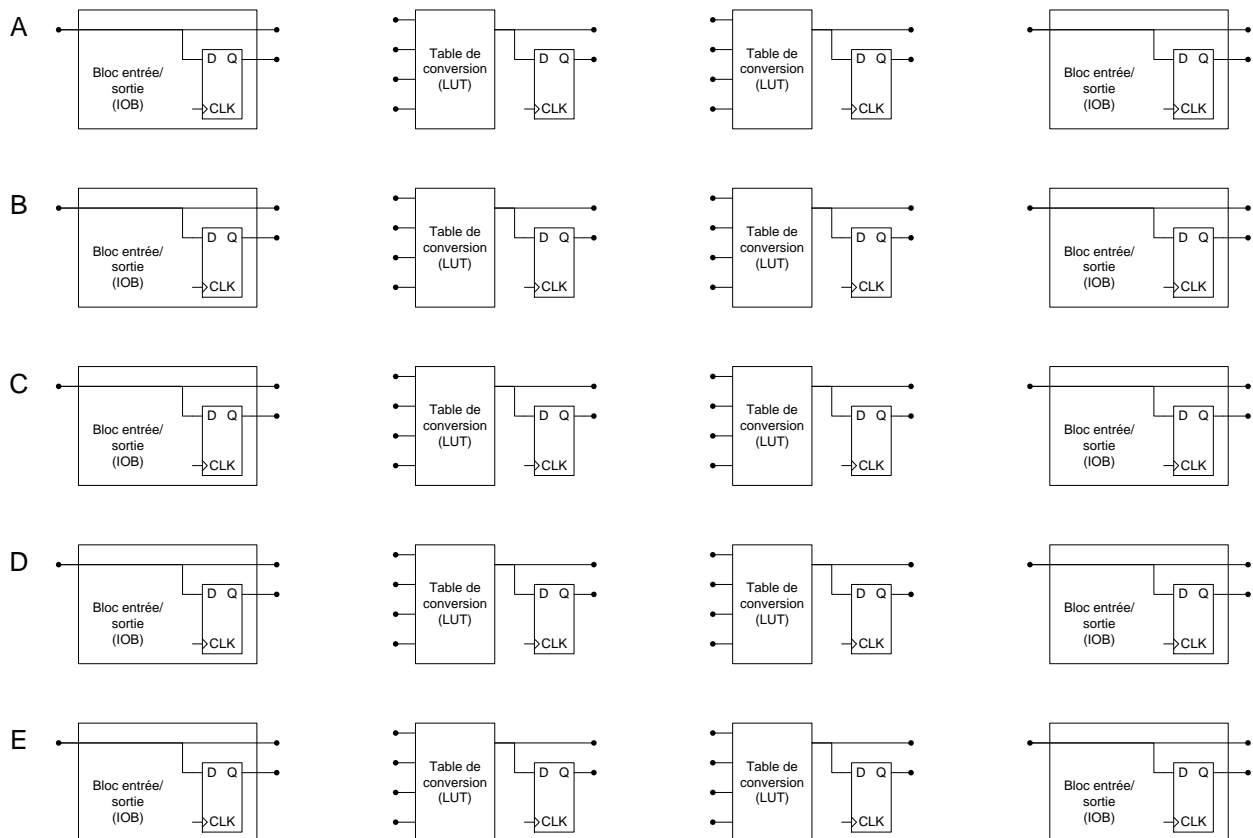
B (base 10)	B (11 bits)	Exposant E (3 bits)	Mantisse M (4 bits)	$F = M \times 2^E$ (base 10)	Erreur B - F (base 10)
0	00000000000	000	0000	0	0
13	00000001101	000	1101	13	0
49	00000110001	010	1100	48	1
633	01001111001	110	1001	576	57
2041	11111111001	111	1111	1920	121

*(Utilisez le verso si nécessaire)*

**Question 3. (8 points)**

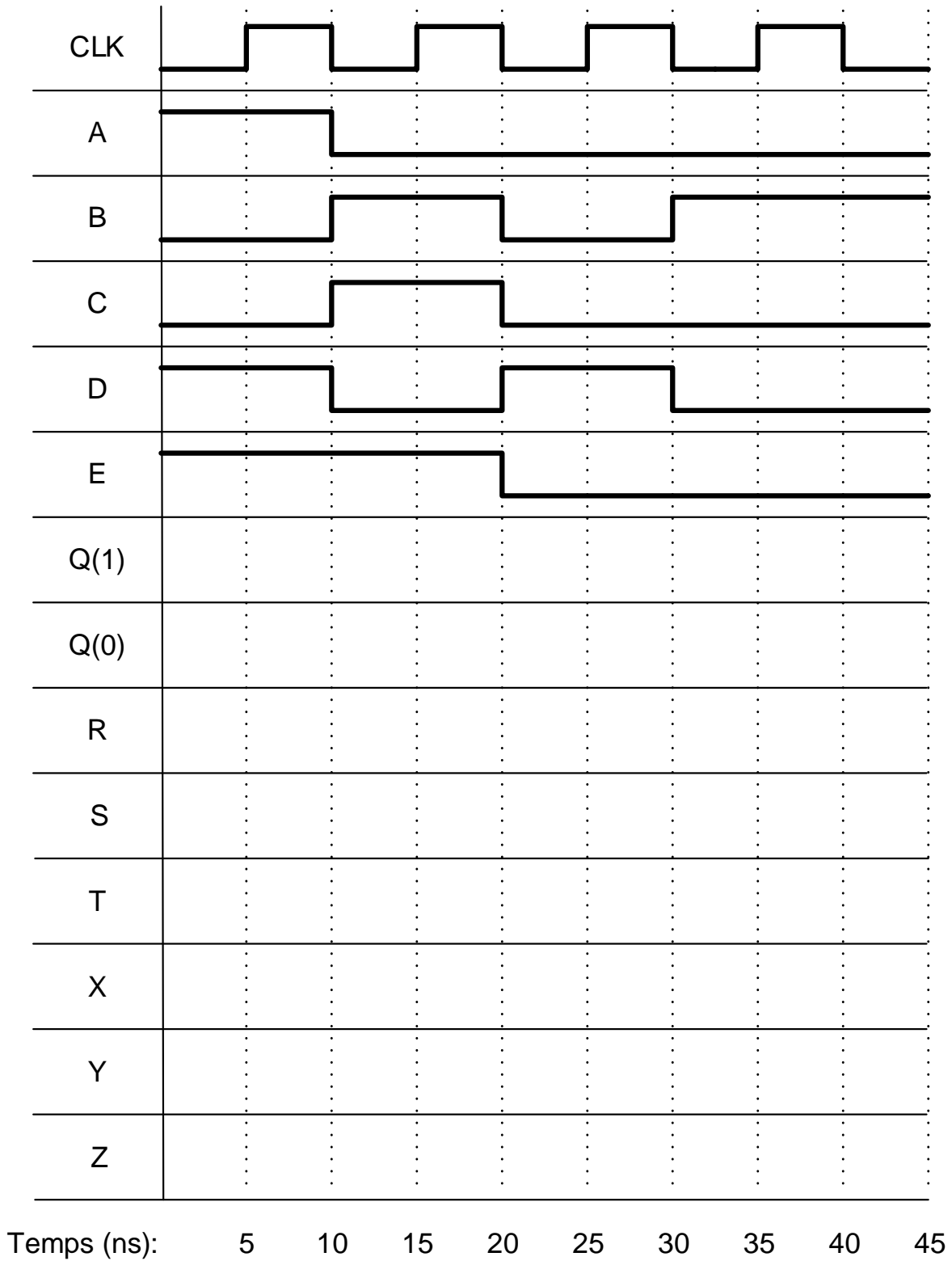
a. (4 points) Considérez le code VHDL et le modèle de FPGA suivants. Montrez, sur le modèle du FPGA, un résultat possible de la synthèse et de l'implémentation de ce code. Indiquez directement sur le dessin où chaque signal et port de sortie se situe ainsi que les interconnexions entre les blocs. Les interconnexions peuvent contourner les blocs. Indiquez quand une bascule doit être utilisée. Indiquez par une équation la fonction logique réalisée par chaque LUT que vous utilisez.

<pre> library ieee; use ieee.std_logic_1164.all;  entity module11 is   port (     clk, A, B, C, D, E: in std_logic;     X, Y, Z: out std_logic   ); end module11;  architecture arch of module11 is   signal Q : std_logic_vector(1 downto 0) := "10";   signal R, S, T : std_logic := '1'; begin    R &lt;= '1' when A &amp; B &amp; C = "011" else '0';   X &lt;= T or Q(0);   Z &lt;= R or S or T; </pre>	<pre> process(clk) is begin   if rising_edge(CLK) then     Q(1) &lt;= Q(0) and R and S;     Q(0) &lt;= R xor S;     Y &lt;= Q(1) and Q(0);   end if; end process;  process(D, E) variable V : std_logic := '0'; begin   V := D;   S &lt;= V or E;   V := not(D);   T &lt;= V and E; end process; </pre>
--	---



(Question 3 – suite)

b. (4 points) Complétez le chronogramme suivant pour ce code VHDL.















## Solutions

### 1. Réponse

a.

	FPGA	Logique fixe
Ingénieurs	\$ 75 000	\$ 166 667
Licences	\$ 9 000	\$ 80 000
Fonderie	\$ -	\$ 250 000
frais fixes	\$ 84 000	\$ 496 667
frais unitaires	\$ 50	\$ 2
frais production	\$ 50	\$ 25
frais par système	\$ 100	\$ 27
Unités	5653	5653
Total	\$ 649 300	\$ 649 298

On a  $n \times 100 + 84000 = n \times 27 + 496667$ . On trouve  $n = (496667 - 84000) / (100 - 27) = 5653$  unités.

### b. Quelques réponses possibles

Le temps de livraison est 6× plus long pour la logique fixe, en plus de deux mois supplémentaires de développement. Ce délai supplémentaire pourrait être inacceptable pour le client.

Si une erreur de design survient, toute la chaîne de production doit être relancée pour la logique fixe.

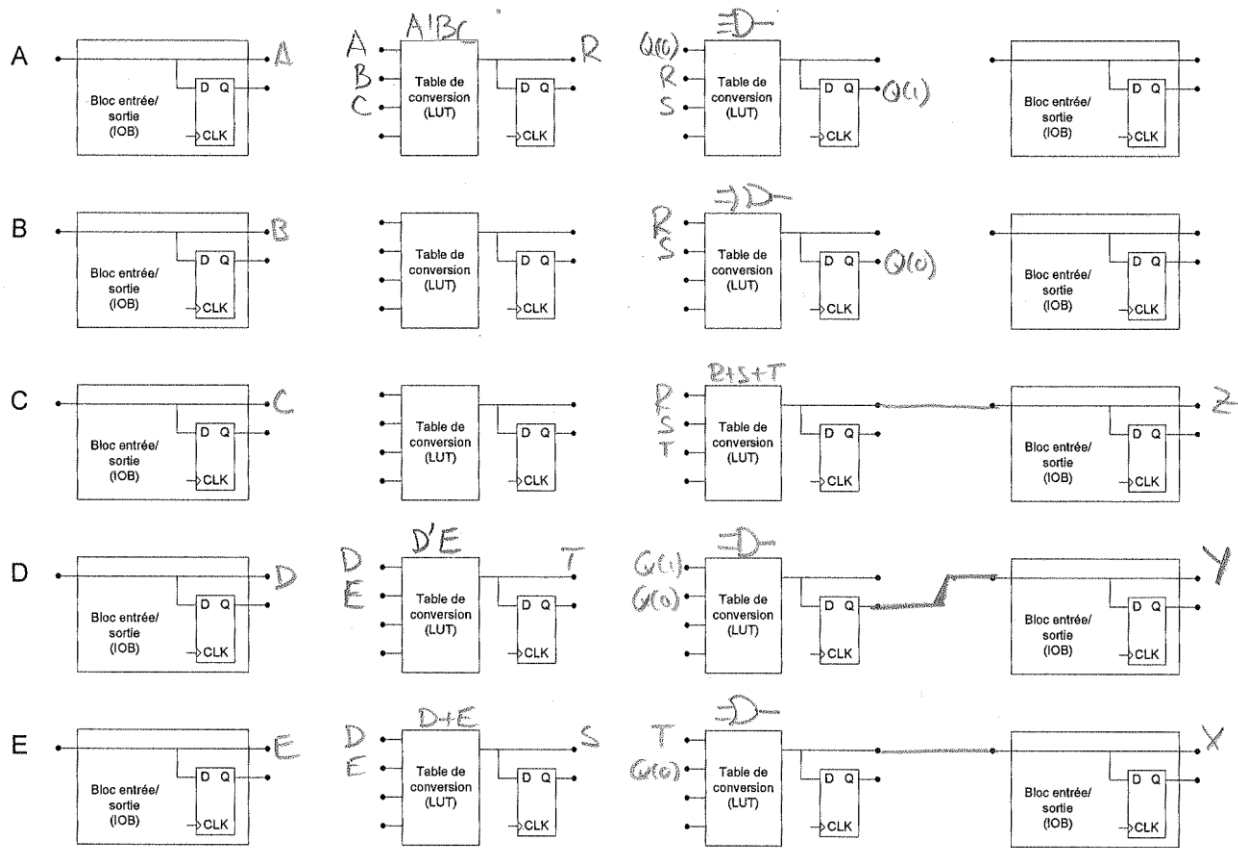
La logique fixe ne permet pas de mises à jour du système pendant sa vie, contrairement au FPGA qui peut être reprogrammé.

La logique fixe permet en général d'atteindre une fréquence d'horloge plus élevée, de consommer moins de puissance et de nécessiter moins de transistors (et donc une plus petite surface) qu'un FPGA.

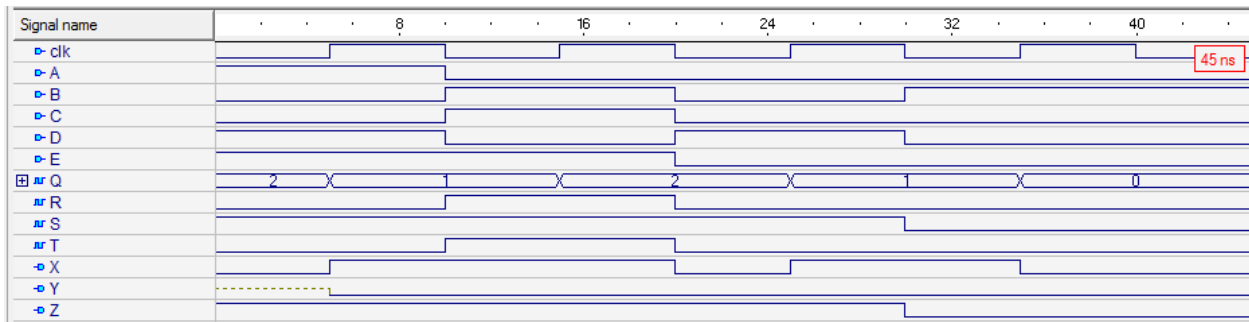
### 2. Il y a plusieurs solutions possibles.

<pre>library IEEE; use IEEE.std_logic_1164.all; use IEEE.numeric_std.all;  entity vfixeavflottante is   port (     B : in unsigned(10 downto 0);     E : out unsigned(2 downto 0);     M : out unsigned(3 downto 0)   ); end vfixeavflottante;</pre>	<pre>architecture arch1 of vfixeavflottante is begin   process(B)   begin     E &lt;= to_unsigned(0, E'length);     M &lt;= B(3 downto 0);     for k in B'length - 1 downto 4 loop       if B(k) = '1' then         E &lt;= to_unsigned(k - 3, E'length);         M &lt;= B(k downto k - 3);         exit;       end if;     end loop;   end process; end arch1;</pre>
--	--

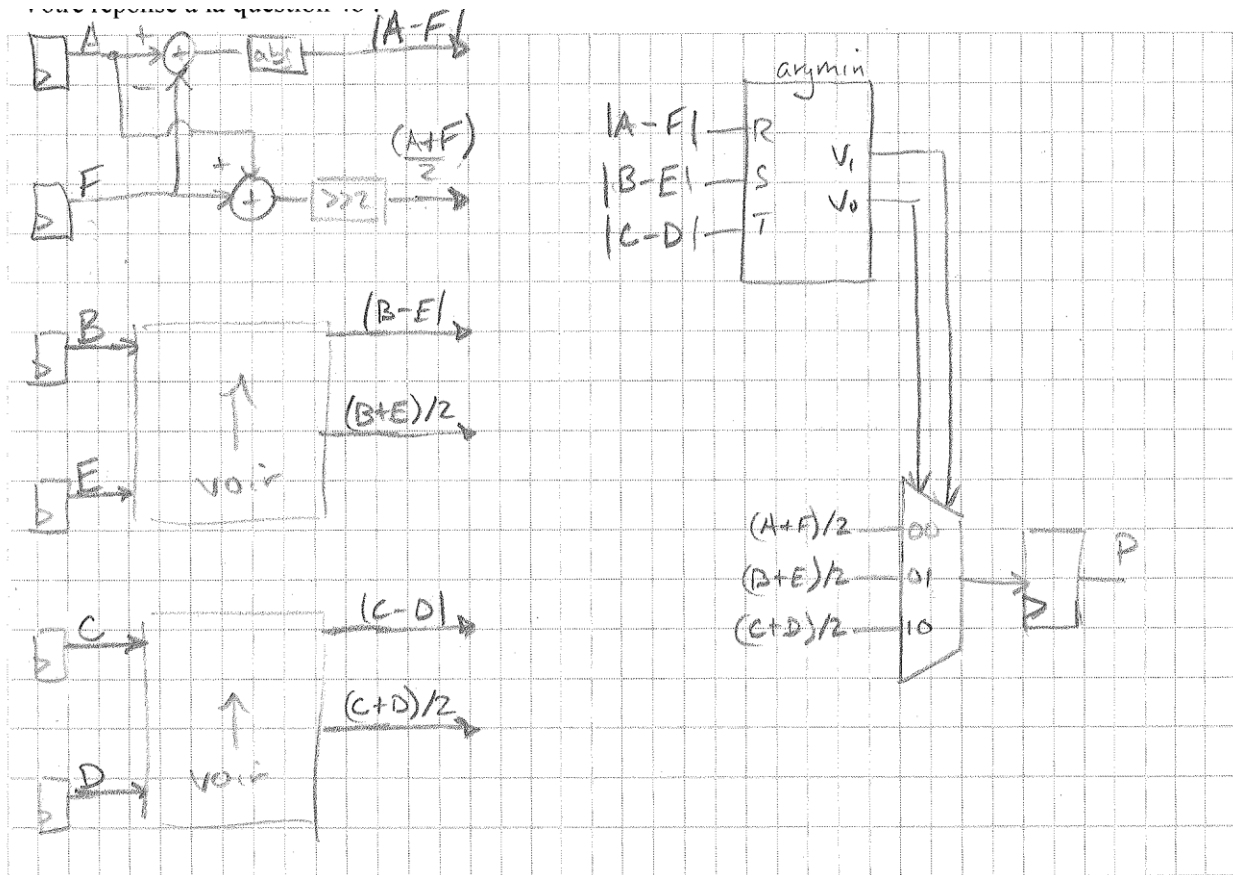
3. a.



b.



4. a. diagramme



b.

Ressource	Quantité et explication
Bascules	7 registres $\times$ 8 bits par registre = 56 bascules Un registre de 8 bits (les pixels sont exprimés en tons de gris sur 8 bits) pour chaque port d'entrée (6) et de sortie (1).
LUT	(2 additions + 1 valeur absolue par bloc) $\times$ 8 LUT chaque $\times$ 3 blocs = 72 LUT (1 LUT peut faire une addition de 1 bit de large, ou bien une valeur absolue de 1 bit de large) 8 multiplexeur à 3 entrées et 2 signaux de contrôle = 8 LUT Total : 80 LUT (+ le bloc 'argmin')
Tranches DSP48E	0
Bloc RAM	0

## 5. Solution

a.

opération	chargeBR	choixCharge	choixA	choixB	valeur	ChoixB_UAL	Op_UAL	Charge_MD	choixDon- nee_BR	charge (GPIO_out)
R15 := GPIO_in;	1	15	-	-	-	-	-	0	2	0
R9 := R5 OUX R0;	1	9	5	0	-	0	7	0	0	0
M[22 + R4] := R13;	0	-	4	13	22	1	2	1	-	0
R5 := M[R5 + R5];	1	5	5	5	-	0	2	0	1	0

b. Les éléments suivants sont nécessaires :

- Il faut détecter la situation où l'opération à effectuer est la division et que l'opérande B de l'UAL a une valeur de 0. Cette fonctionnalité peut être placée à l'intérieur de l'UAL, en implémentant l'équation booléenne suivante :  $exception \leq (op\_UAL = 9) \text{ ET } (B = 0)$ .
- Quand l'exception est lancée, le Compteur de Programme (CP) doit être chargé avec la valeur 1000h. Le multiplexeur à l'entrée du CP devrait avoir une troisième entrée, de valeur constante égale à 1000h.
- Le signal `exception` pourrait être transmis à l'unité de branchement. Le signal `brancher` de l'unité de branchement devrait avoir deux bits pour pouvoir contrôler le multiplexeur à l'entrée du CP. Dans le cas montré sur le diagramme, l'unité de branchement ne ferait que relayer ce signal au multiplexeur du CP sans avoir besoin d'effectuer une opération logique.

6. a. Le chemin critique est F – C0R3 – C2R1 – C3R0 – R.

On a alors  $T_{min} = 0.4 + 3 \times 0.3 + 0.2 + 10 \times 0.25 = 4 \text{ ns}$ , soit 250 MHz

b. 2 cycles, soit 8 ns

c. On veut  $T_{min} \leq 2 \text{ ns}$  pour un débit de  $500 \times 10^6$  résultats par seconde.

Il faut pipeliner aux colonnes 0, 2 et 3.

Le chemin critique est alors de la colonne 2 à la colonne 3 :

$$T_{min} = 0.4 + 4 \times 0.25 + 0.3 + 0.2 = 1.9 \text{ ns}$$

d. La latence est maintenant de 5 cycles, soit  $5 \times 2 \text{ ns} = 10 \text{ ns}$ .e. Le signal `Etemp` serait placé dans un registre d'un bloc d'entrée, et le signal de sortie `R` dans un bloc de sortie. Il faut utiliser une table de conversion pour l'inversion. On place tout sur une seule rangée. On a alors

$$T_{min} = 0.4 + 0.3 + 5 \times 0.25 + 0.2 = 2.15 \text{ ns}, \text{ donc } f_{max} = 465 \text{ MHz}$$