
Analyse détaillée du pipeline



Pierre Langlois

<http://creativecommons.org/licenses/by-nc-sa/2.5/ca/>

Analyse détaillée du pipeline

- Soit:
 - C_p : coût du circuit pipeliné
 - C : coût du circuit sans pipeline
 - k : nombre d'étages de pipeline
 - L : coût supplémentaire par étage de pipeline
 - On a $C_p = C + k \times L$
- Soit:
 - T_p : délai du circuit avec pipeline
 - T : délai du circuit sans pipeline
 - $S = t_d + t_{su}$: contribution des registres au chemin critique
 - Si on suppose qu'on brise le chemin critique en k étages égaux, on a $T_p = T / k + S$

- On veut minimiser la métrique $M = C_p \times T_p$:
(on veut un petit C_p et un petit T_p)

$$\begin{aligned} M &= C_p \times T_p = (C + kL) \times \left(\frac{T}{k} + S\right) \\ &= \frac{CT}{k} + CS + LT + kLS \end{aligned}$$

- On prend la dérivée partielle par rapport à k :

$$\frac{\partial C_p T_p}{\partial k} = -\frac{CT}{k^2} + LS$$

- On trouve k_{opt} pour lequel la métrique est minimale:

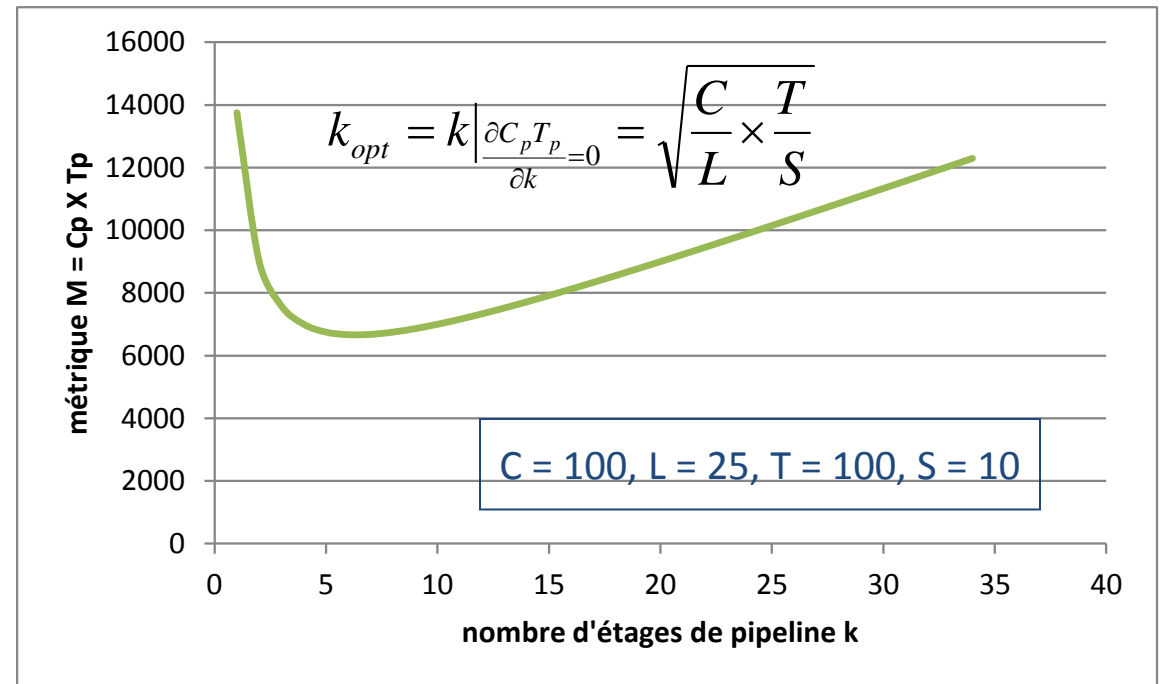
$$k_{opt} = k \Big|_{\frac{\partial C_p T_p}{\partial k} = 0} = \sqrt{\frac{C}{L} \times \frac{T}{S}}$$

Analyse détaillée du pipeline

- Soit:
 - C_p : coût du circuit pipeliné
 - C : coût du circuit sans pipeline
 - k : nombre d'étages de pipeline
 - L : coût supplémentaire par étage de pipeline
 - On a $C_p = C + k \times L$
- Soit:
 - T_p : délai du circuit avec pipeline
 - T : délai du circuit sans pipeline
 - $S = t_d + t_{su}$: contribution des registres au chemin critique
 - Si on suppose qu'on brise le chemin critique en k étages égaux, on a $T_p = T / k + S$

$$M = C_p \times T_p = (C + kL) \times \left(\frac{T}{k} + S\right)$$
$$= \frac{CT}{k} + CS + LT + kLS$$

$$\frac{\partial C_p T_p}{\partial k} = -\frac{CT}{k^2} + LS$$



Quelle est la valeur de L pour un FPGA?
Quel est le k_{opt} correspondant?

Vous devriez maintenant être capable de ...

- Faire une analyse détaillée du pipeline dans un circuit en tenant compte des coûts et des délais. (B3)
- Expliquer les particularités, avantages et inconvénients du pipeline sur FPGA. (B2)

Code	Niveau (http://fr.wikipedia.org/wiki/Taxonomie_de_Bloom)
B1	Connaissance – mémoriser de l'information.
B2	Compréhension – interpréter l'information.
B3	Application – confronter les connaissances à des cas pratiques simples.
B4	Analyse – décomposer un problème, cas pratiques plus complexes.
B5	Synthèse – expression personnelle, cas pratiques plus complexes.