

---

# Le temps de propagation des signaux dans un circuit



Pierre Langlois

<http://creativecommons.org/licenses/by-nc-sa/2.5/ca/>

# Temps de propagation

## Sujets de ce thème

---

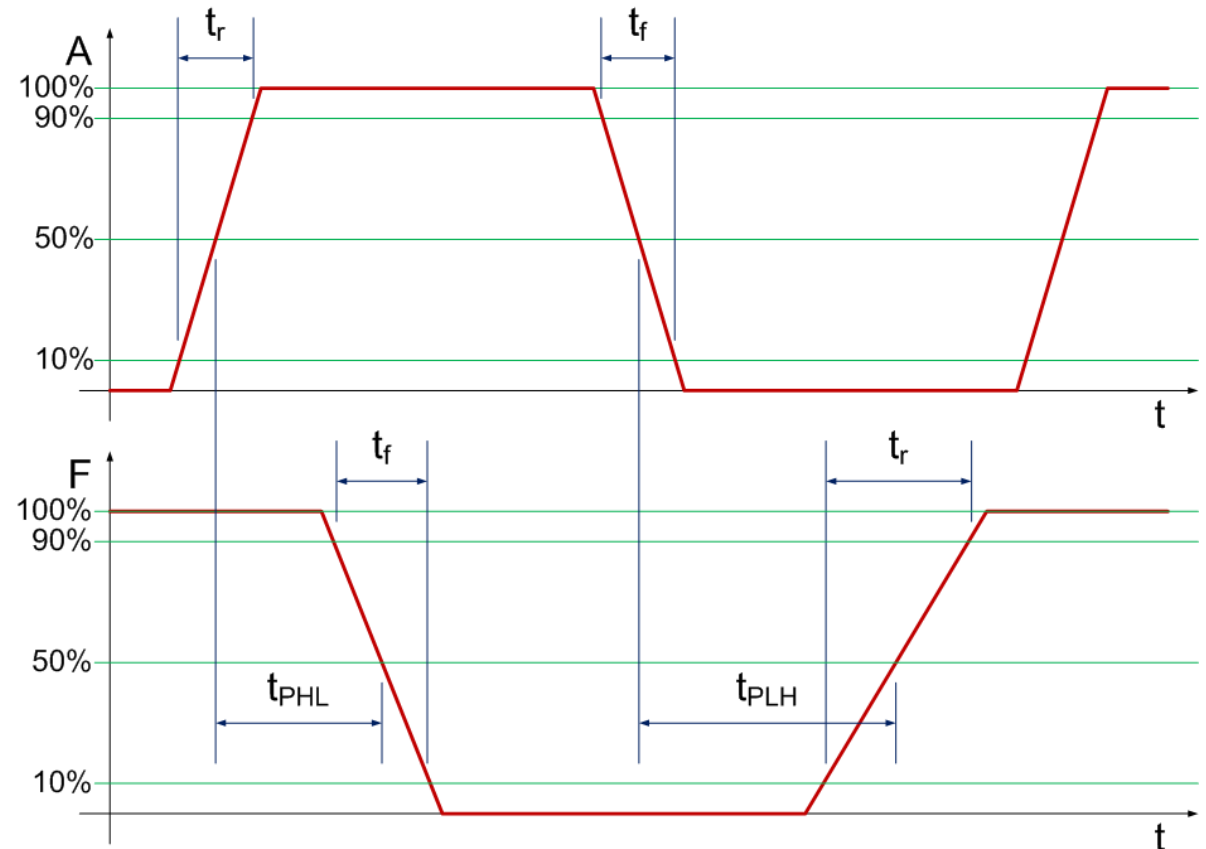
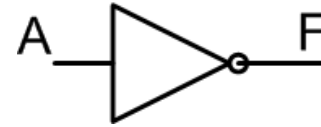
- Métriques de temps des transitions sur les signaux
- Délai de propagation d'une composante
- Délai de propagation des interconnexions
- Temps de préparation et de maintien des bascules
- Valeur des paramètres pour un FPGA

# Transitions sur les signaux

- Les signaux intermédiaires et de sortie peuvent subir une transition quand les signaux d'entrée changent.
- Par exemple, pour un inverseur, quand l'entrée passe de 1 à 0, la sortie doit passer de 0 à 1. Ces transitions ne se font pas instantanément.

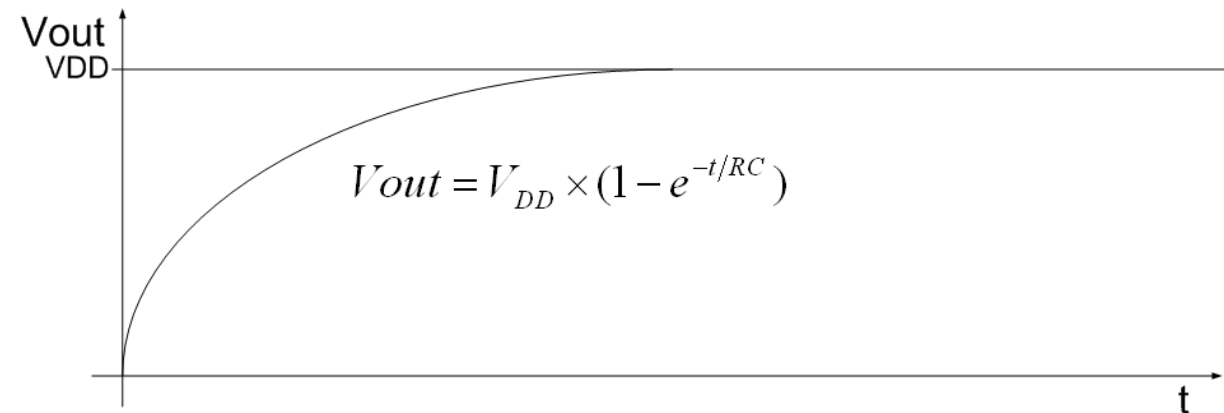
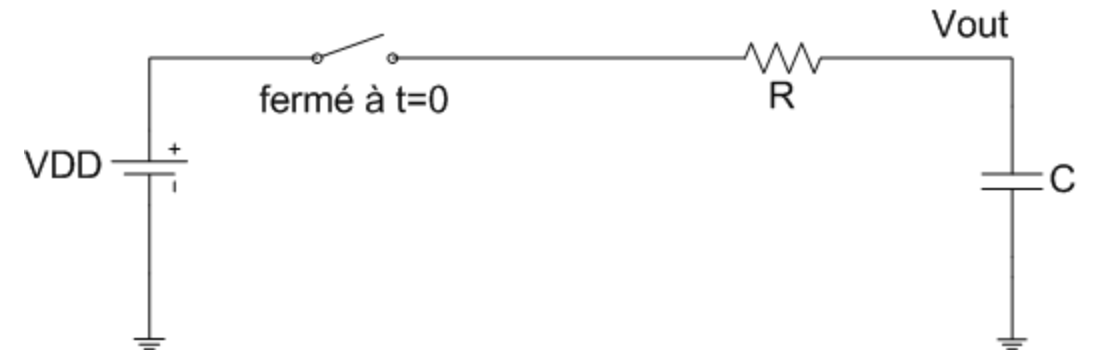
On définit:

- Temps de descente (*fall time* –  $t_f$ )
- Temps de montée (*rise time* –  $t_r$ )
- Délai de descente (*propagation delay, High to Low* –  $t_{PHL}$ )
- Délai de montée (*propagation delay, Low to High* –  $t_{PLH}$ )
- Délai de propagation  $t_d$  ou bien  $t_{comb} = \max(t_{PHL}, t_{PLH})$



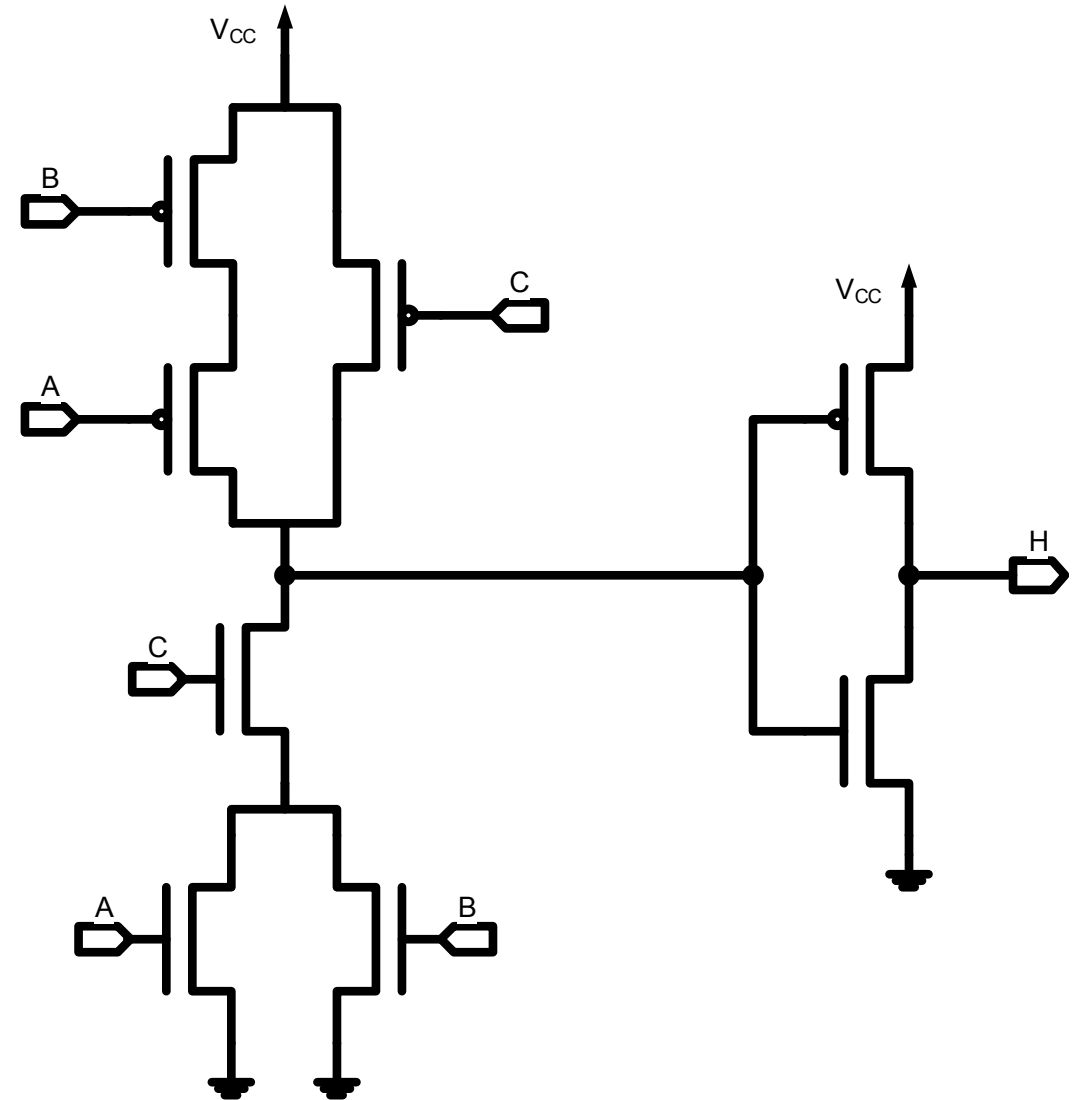
# Transitions sur les signaux

- Les paramètres de synchronisation  $t_r$ ,  $t_f$ ,  $t_{PHL}$  et  $t_{PLH}$  sont influencés principalement par trois critères :
  - la charge capacitive à mener (dépend du nombre de composants menées par le circuit ainsi que la longueur des interconnexions);
  - la résistance des conducteurs (dépend surtout de la longueur des interconnexions); et,
  - la dimension des transistors par lesquels le courant passe pour charger ( $t_{PLH}$ ) et décharger ( $t_{PHL}$ ) la charge capacitive.
- Étant donnés C et R, on peut calculer  $t_r$ ,  $t_f$ ,  $t_{PHL}$  et  $t_{PLH}$ .



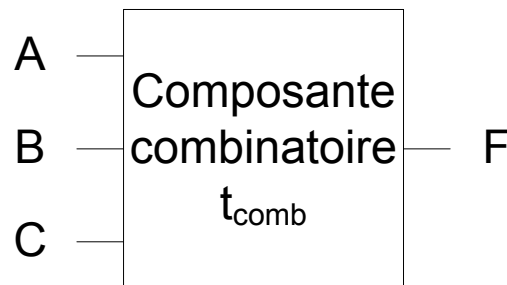
# Transitions sur les signaux

- Les paramètres de synchronisation  $t_r$ ,  $t_f$ ,  $t_{PHL}$  et  $t_{PLH}$  sont influencés principalement par trois critères :
  - la charge capacitive à mener (dépend du nombre de composants menées par le circuit ainsi que la longueur des interconnexions);
  - la résistance des conducteurs (dépend surtout de la longueur des interconnexions); et,
  - la dimension des transistors par lesquels le courant passe pour charger ( $t_{PLH}$ ) et décharger ( $t_{PHL}$ ) la charge capacitive.

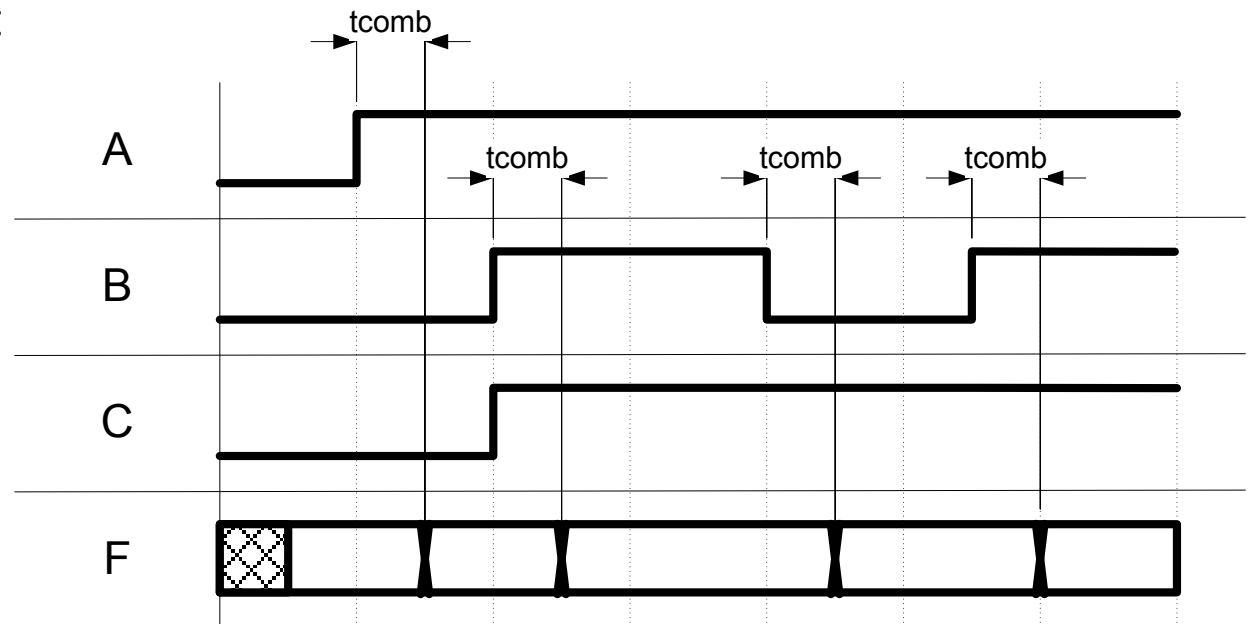


# Délai de propagation d'une composante

- Le délai de propagation d'une composante est le temps nécessaire pour que la sortie de la composante se stabilise suite à un changement à l'une de ses entrées:
  - $t_d$  pour les bascules;
  - $t_{comb}$  pour la logique combinatoire.
- Pour les bascules,  $t_d$  est mesuré à partir du front actif d'horloge.

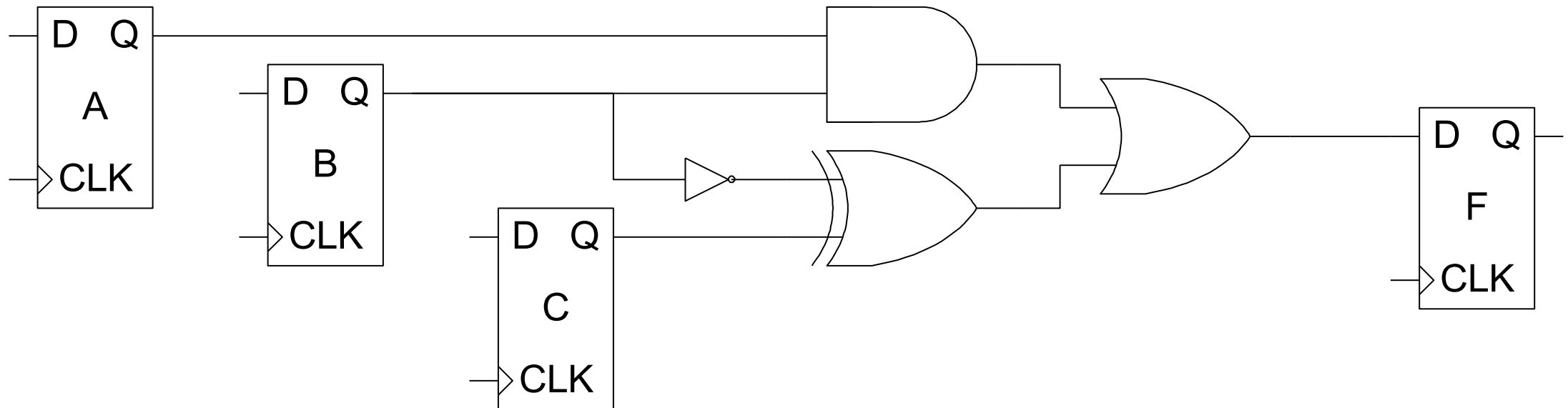


- Le délai de propagation est spécifié par le manufacturier étant donnés :
  - les délais ( $t_{PHL}$ ,  $t_{PLH}$ ) du signal d'entrée;
  - la tension d'alimentation;
  - la température; et,
  - la charge menée par la composante.



# Exemple

- Les bascules et les portes logiques INV, ET, OU et OUX ont des délais de propagation de 2, 1, 2, 2 et 3 ns, respectivement.
- Montrez l'évolution des signaux dans le circuit après une transition positive du signal d'horloge.



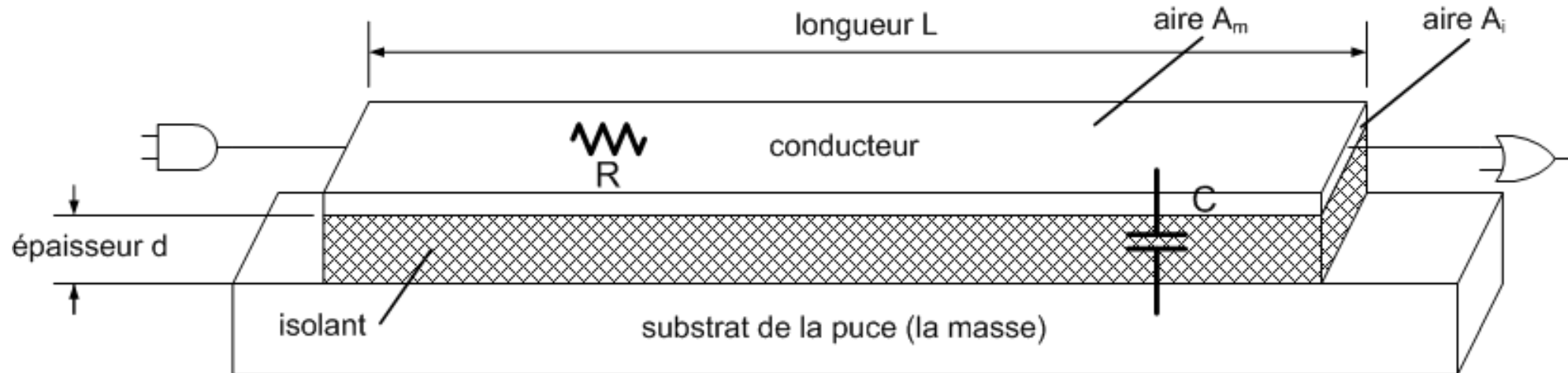
# Délai de propagation des interconnexions

- Le délai de propagation des interconnexions dépend:
  - de leur surface  $A_i$  présentée au courant (fixe);
  - des matériaux utilisés ( $\rho$ ,  $\epsilon$ ) (fixe);
  - de leur longueur  $L$  (dépend du routage des signaux).
- Ces facteurs influent sur leur charge capacitive et sur leur résistance.

$$R = \frac{\rho L}{A_i}$$

$$C = \frac{\epsilon A_m}{d}$$

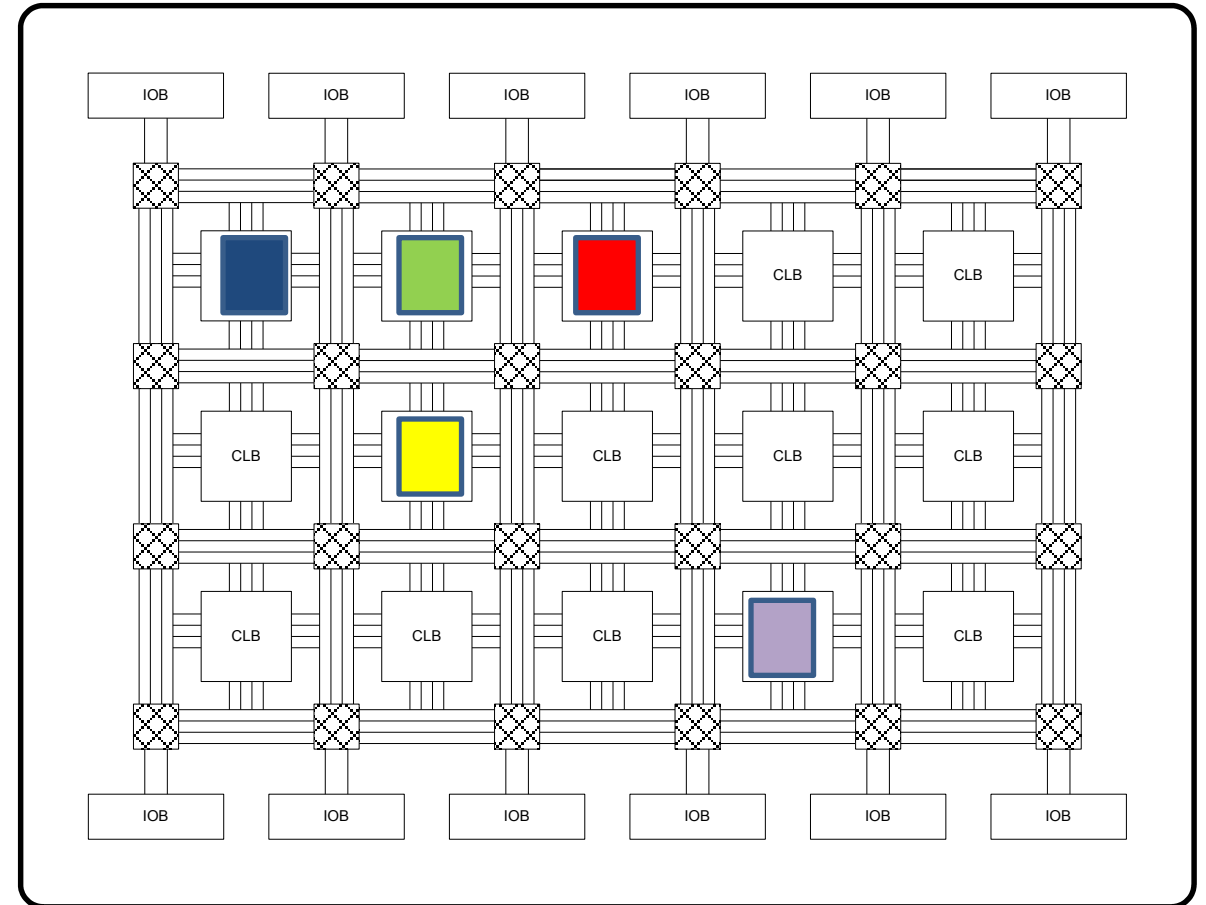
$\rho$ : résistivité du conducteur  
 $L$ : longueur du conducteur  
 $A_i$ : surface présentée au courant  
 $\epsilon$ : paramètre diélectrique de l'isolant  
 $A_m$ : surface de l'isolant  
 $d$ : épaisseur de l'isolant





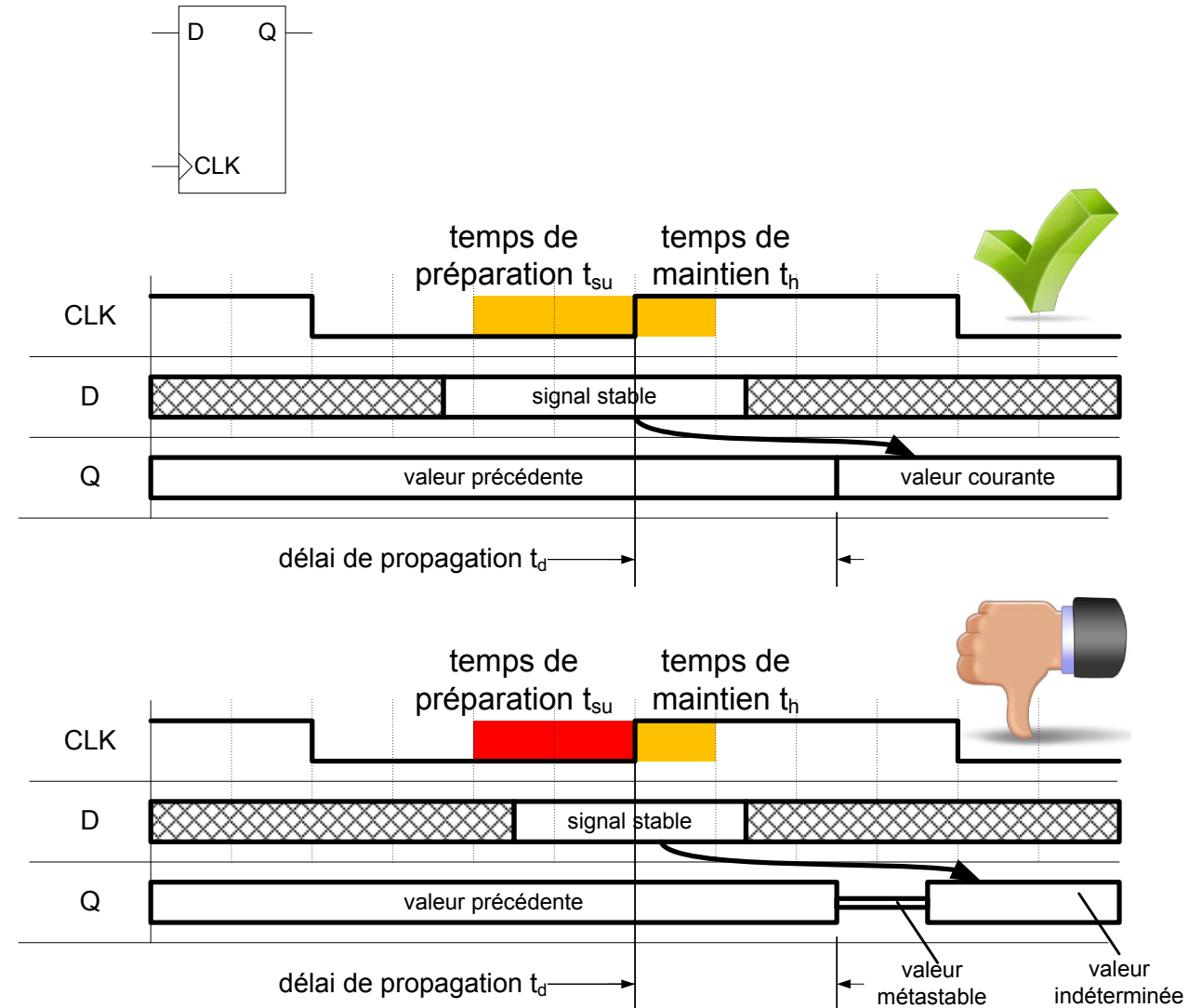
# Effet de la charge et des interconnexions sur le temps de propagation dans un FPGA

- Facteurs:
  - sortance (*fanout*); et
  - distance due au placement.
- La charge capacitive augmente avec le nombre de composantes menées par une sortie.
- La charge capacitive et la résistance des conducteurs augmentent avec la distance entre la source et le puits d'un signal.



# Bascules: temps de préparation et de maintien

- Le temps de préparation (*setup time* –  $t_{su}$ ) est le temps minimal pendant lequel le signal d'entrée de la bascule ou du loquet ne doit pas changer *avant* la transition active de l'horloge.
- Le temps de maintien (*hold time* –  $t_h$ ) est le temps minimal pendant lequel le signal d'entrée de la bascule ou du loquet ne doit pas changer *après* la transition active de l'horloge.
- Si le temps de préparation ou le temps de maintien n'est pas respecté, alors la bascule risque d'entrer dans un état métastable:
  - sortie de niveau imprévisible entre 0 et 1;
  - stabilisation éventuelle sur une valeur indéterminée.



# Quelques paramètres des FPGA de la série 7 de Xilinx et des valeurs réelles pour la puce XC7A100T-1CSG324C

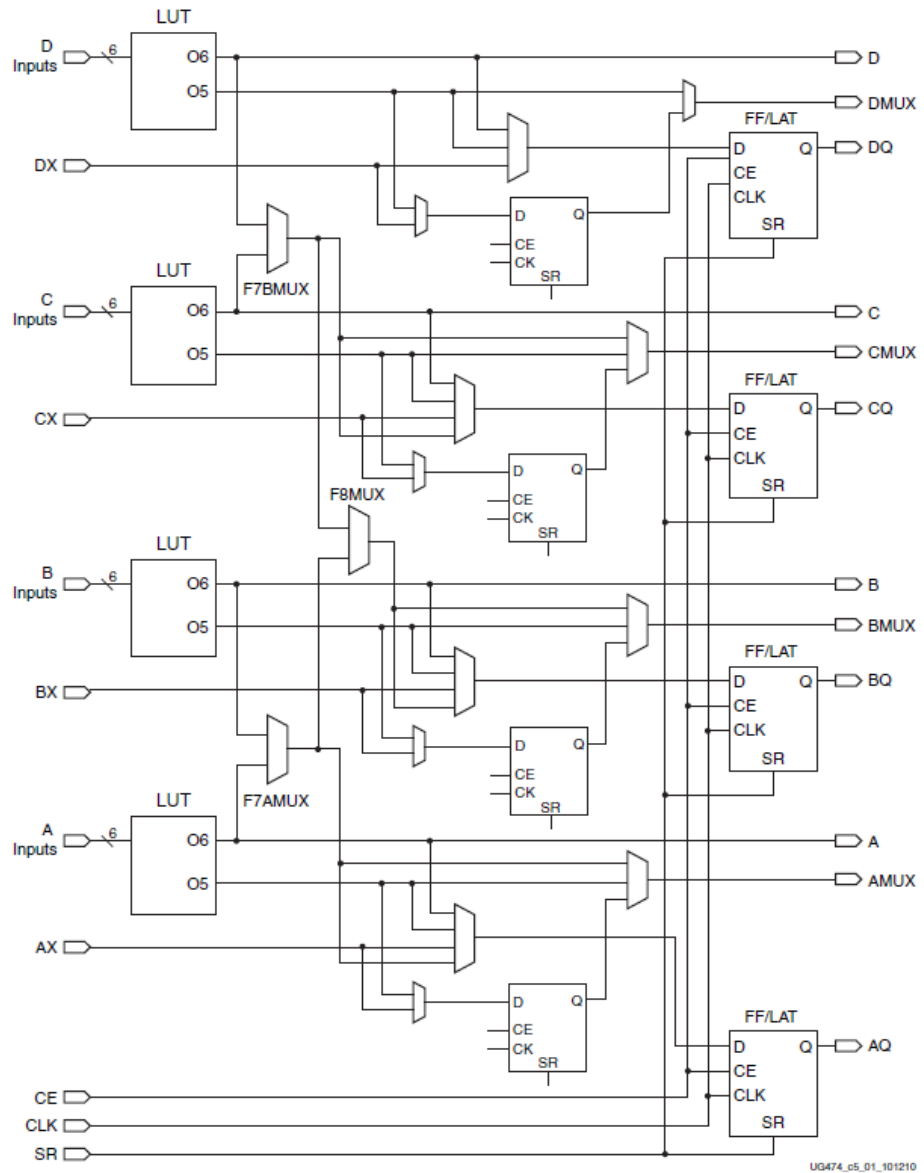


Table 27: CLB Switching Characteristics

Symbol	Description	Speed Grade						Units
		1.0V				0.95V	0.9V	
		-3	-2/-2LE	-1	-1Q/-1M	-1LI	-2LE	
<b>Combinatorial Delays</b>								
$T_{ILO}$	An – Dn LUT address to A	0.10	0.11	0.13	0.13	0.13	0.15	ns, Max
$T_{ILO\_2}$	An – Dn LUT address to AMUX/CMUX	0.27	0.30	0.36	0.36	0.36	0.41	ns, Max
$T_{ILO\_3}$	An – Dn LUT address to BMUX_A	0.42	0.46	0.55	0.55	0.55	0.65	ns, Max
<b>Sequential Delays</b>								
$T_{CKO}$	Clock to AQ – DQ outputs	0.40	0.44	0.53	0.53	0.53	0.62	ns, Max
<b>Setup and Hold Times of CLB Flip-Flops Before/After Clock CLK</b>								
$T_{DICK}/T_{CKDI}$	$A_x - D_x$ input to CLK on A – D flip-flops	0.06/0.19	0.07/0.21	0.09/0.26	0.09/0.35	0.09/0.26	0.09/0.33	ns, Min

# Vous devriez maintenant être capable de ...

---

- Mesurer sur un chronogramme les quantités  $t_f$ ,  $t_r$ ,  $t_{PHL}$ ,  $t_{PLH}$  et  $t_d$ , et expliquer les facteurs qui les affectent. (B3)
- Expliquez les facteurs qui affectent les délais de propagation des composantes et des interconnexions dans un circuit. (B2)
- Calculer le temps d'arrivé des signaux dans un circuit en fonction des délais de propagation des bascules, des modules combinatoires et des interconnexions. (B3)
- Expliquer le principe du temps de préparation ( $t_{su}$ ) et de maintien ( $t_h$ ) d'une bascule et les conséquences de leur non-respect. (B2)

Code	Niveau ( <a href="http://fr.wikipedia.org/wiki/Taxonomie_de_Bloom">http://fr.wikipedia.org/wiki/Taxonomie_de_Bloom</a> )
B1	Connaissance – mémoriser de l'information.
B2	Compréhension – interpréter l'information.
B3	Application – confronter les connaissances à des cas pratiques simples.
B4	Analyse – décomposer un problème, cas pratiques plus complexes.
B5	Synthèse – expression personnelle, cas pratiques plus complexes.